

Grado en Ingeniería Electrónica Industrial y Automática

2017-2018

Trabajo de Fin de Grado

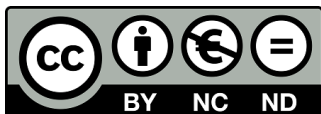
“Diseño de un convertidor A/D basado
en oscilador en anillo en tecnología
CMOS 0,18 μm ”

Oriol San Cristóbal Boixadós

Tutor

Dr. Eric Gutiérrez Fernández

Leganés, a 20 de febrero de 2018



[Incluir en el caso del interés en su publicación en el archivo abierto]

Esta obra se encuentra sujeta a la licencia Creative Commons **Reconocimiento - No Comercial - Sin Obra Derivada**

RESUMEN

El propósito del trabajo presentado en este documento es aportar una nueva alternativa para el diseño de convertidores analógico-digital basados en osciladores controlados por tensión. Durante los últimos años, los convertidores analógico-digitales con codificación temporal han llamado la atención de la comunidad de diseñadores debido a la posibilidad de implementarlos en su gran mayoría con circuitos digitales, los cuales son muy apropiados para los procesos de diseño nanométricos. En este ámbito, este tipo de convertidores son uno de los candidatos más prometedores.

Los convertidores analógico-digital de una sola etapa basados en osciladores controlados por tensión, diseñados en gran cantidad de artículos y en este trabajo, tienen el inconveniente de ser de primer orden (lo que implica menor resolución en comparación con las arquitecturas de un mayor orden). Para solventar esta cuestión, en este documento se propone una interpretación alternativa de este tipo de sistemas haciendo uso de la teoría de los convertidores con *time-interleaving*. Esto permite aumentar la resolución del convertidor sin necesidad de aumentar el orden de este. Se propone un modelo lineal para el análisis de convertidores analógico-digitales basados en osciladores controlados por tensión (tanto para la propuesta como para el modelo convencional). Se exponen y describen arquitecturas de una sola etapa en lazo abierto como son las basadas en osciladores controlados por tensión diseñadas en $0.18\ \mu\text{m}$. Asimismo, se realiza un análisis y estudio de la sensibilidad del convertidor propuesto para determinar su validez.

De forma genérica, las aportaciones propuestas en este documento se pueden aplicar a cualquier tipo de convertidor, independientemente de los requisitos de resolución, ancho de banda, consumo y área. Sin embargo, en el caso de la arquitectura propuesta, las especificaciones se relacionan con el ámbito de las comunicaciones (VDSL, VDSL2, o incluso G.fast), en donde se requiere una resolución media (9-10 bits), alto ancho de banda (5-20 MHz), manteniendo bajo consumo y baja área ocupada.

Palabras clave: Tecnología CMOS; Conversión de datos; Conversión analógico-digital; Modulación Delta-Sigma; Osciladores controlados por tensión; Osciladores en anillo; Sistemas de tiempo continuo

ABSTRACT

The purpose of the work presented in this document is to provide a new alternative to the design of voltage-controlled oscillator based analog-to-digital converters (VCO-based ADCs). Time-encoding based ADCs have become of great interest to the designer community due to the possibility of implementing them with mostly digital circuits. This fact allows them to be suitable for current deep-submicron CMOS processes. Within this topic, VCO-based ADCs are one of the most promising candidates.

Single-stage VCO-based ADCs, proposed in a great deal of papers and in this document, have the drawback of being limited to first order architecture (which implies lower resolution compared to higher order architectures). To overcome this issue, it is proposed an alternative interpretation of this type of systems based on time-interleaved architectures theory. This allows us to enhance the resolution of the converter without the need of increasing its order. It is proposed a linear model to analyze VCO-based ADCs (both proposed and conventional models). It is presented and described open-loop single-stage architectures such as VCO-based ADCs designed in $0.18\ \mu\text{m}$. Likewise, some impairments of the converter are analyzed and studied to validity it.

In general, the contributions proposed in this document are not restricted to particular application, regardless of the requirements in resolution, bandwidth, consumption or area. Nevertheless, in the case of the proposed architecture, the specifications are linked to communication applications (for instance VDSL, VDSL2, or even G.fast), which means medium resolution (9-10 bits), high bandwidth (5-20 MHz), low power and low area.

Key words: CMOS technology; Data conversion; Analog-to-digital converters; Delta-sigma modulation; Voltage-controlled oscillators; Ring oscillators; Continuous time systems

AGRADECIMIENTOS

Quiero expresar mi agradecimiento a todas aquellas personas que me han apoyado para llegar hasta este momento.

Gracias a Eric, mi tutor, por su dedicación, paciencia y completa disponibilidad, sus enseñanzas iluminan este trabajo. Gracias por la revisión de este documento. Gracias al departamento de Tecnología Electrónica de la Universidad Carlos III de Madrid por proporcionarme los recursos necesarios para la ejecución de este proyecto.

Gracias a mi familia, en especial a mis padres por su apoyo y cariño.

Gracias a mis amigos del grado por su apoyo y los buenos momentos juntos. Gracias a Víctor y a Gadea por sus sugerencias sobre el presente trabajo.

Oriol San Cristóbal.

Febrero 2018.

ÍNDICE GENERAL

1. INTRODUCCIÓN.	1
1.1. Motivación del Trabajo	1
1.2. Objetivos	3
1.3. Esquema del documento.	4
1.4. Marco regulador	5
2. ESTADO DEL ARTE.	6
2.1. Conversión analógico-digital	7
2.1.1. Convertidor A/D ideal	7
2.2. Convertidores sobremuestreados	11
2.2.1. Ventajas del sobremuestreo	11
2.2.2. ADC sobremuestreado con conformado espectral de ruido	13
2.2.3. Modulador Delta-Sigma	14
2.2.4. Conformado espectral de ruido de primer orden	16
2.2.5. Conformado espectral de ruido de segundo orden.	18
2.2.6. Curvas de la función de transferencia del ruido	18
2.3. Convertidor analógico digital basado en oscilador en anillo controlado por tensión (VCO-ADC).	19
2.4. Oscilador en anillo (VCO)	20
2.4.1. Problemas del oscilador en anillo.	22
3. VCO-ADC CON FRECUENCIA DE MUESTREO INCREMENTADA	24
3.1. Desarrollo de la idea	25
3.1.1. VCO-ADC convencional	26
3.1.2. VCO-ADC con frecuencia de muestreo incrementada	44
3.2. Diseño de circuitos.	56
3.2.1. Alimentación	57
3.2.2. Oscilador en anillo	57
3.2.3. <i>Level shifter</i>	59
3.2.4. Cadena de retraso	61
3.2.5. <i>Flip-Flop</i>	62

3.2.6. Puerta XOR	64
3.2.7. Transconductor	67
3.3. Análisis de sensibilidad	70
3.3.1. Oscilador en anillo	70
3.3.2. Transconductancia	72
3.3.3. Cadena de retraso	75
3.3.4. Conclusión	86
4. DISCUSIÓN DE RESULTADOS	88
4.1. Conclusiones	88
4.2. Trabajos futuros	90
5. ESTUDIO ECONÓMICO	92
6. ENTORNO SOCIO-ECONÓMICO	94
7. PROCESO DE EJECUCIÓN.	95

ÍNDICE DE FIGURAS

2.1	Corte transversal de un transistor MOS canal n [12].	7
2.2	Diagrama de bloque de un convertidor A/D ideal.	8
2.3	Curvas de transferencia entre la entrada y la salida para un convertidor A/D de 2-bit [12].	9
2.4	Error de cuantificación de la figura 2.3	10
2.5	Espectro de la densidad de la potencia del ruido entre $-f_s/2$ y $f_s/2$	11
2.6	(a) Una posible configuración de sobremuestreo sin conformado espectral de ruido. (b) Respuesta del filtro para eliminar el ruido de cuantificación [12].	12
2.7	Diagrama de bloques de un convertidor A/D con sobremuestreo y conformado espectral de ruido [12].	13
2.8	Modulador Delta-Sigma de primer orden como ADC y su modelo lineal en el dominio z.	15
2.9	Modulador Delta-Sigma con su modelo lineal: (a) modulador $\Delta\Sigma$ general; (b) modelo lineal del modulador con ruido de cuantificación [12].	15
2.10	Modulador interpolativo de primer orden con conformado espectral de ruido [12].	17
2.11	Diagrama de bloques de un modulador Delta-Sigma de segundo orden [12].	18
2.12	Funciones de transferencia para el conformado de ruido espectral.	19
2.13	Diagrama de bloques simplificado de un VCO-ADC en bucle abierto.	19
2.14	Diagrama de bloques y modelo de linealización en el dominio de la frecuencia de un convertidor ADC Delta-Sigma de primer orden basado en un VCO en bucle abierto [46].	20
2.15	Esquemático de un oscilador en anillo de 7 fases.	20
3.1	Arquitectura convencional de un VCO-ADC basada en un oscilador en anillo.	26
3.2	Demodulación digital de la señal de salida del VCO [16].	27
3.3	Señal de entrada vs frecuencia de oscilación de la salida del VCO.	28

3.4	Señal de salida de una de las fases del oscilador en anillo.	29
3.5	Salidas de las fases del VCO.	29
3.6	Convertidor VCO-ADC convencional en bloques de Simulink.	30
3.7	Subsistemas de la figura 3.6. (a) Subsistema VCO de 7 etapas en bloques de Simulink, (b) Demodulador de una de las fases de salida del VCO en Simulink.	31
3.8	Comportamiento de la salida del VCO-ADC básico. (a) Espectro de salida, (b) datos de salida.	33
3.9	Salida de una de las fases del VCO (verde) y señal después del level shifter (morado).	36
3.10	Señales de salida de los dos flip-flop y la puerta XOR, proceso operación de la primera diferencia.	37
3.11	Señal de entrada al convertidor VCO-ADC con frecuencia igual a 1 MHz, centrada en 0.9 V y con amplitud de 0.1 V.	38
3.12	Corriente de entrada al VCO (en morado) junto con la señal de entrada al VCO-ADC (en verde).	39
3.13	Salida del VCO-ADC a nivel de circuito en VerilogA: (a) Espectro en frecuencia de la señal de salida del VCO-ADC para 1 MHz con demodulación en VerilogA. (b) Datos de salida del VCO-ADC.	40
3.14	Espectro en frecuencia de la señal de salida del VCO-ADC para 1 MHz con demodulación en transistor.	41
3.15	Diagrama de bloques de un VCO-ADC totalmente diferencial.	42
3.16	Espectro en frecuencia de la señal de salida del VCO-ADC en configuración diferencial para 1 MHz.	43
3.17	Modelo de linealización en el dominio de la frecuencia de un convertidor ADC Delta-Sigma de primer orden basado en un VCO y una cadena de retraso.	45
3.18	Cadena de retraso implementada con 5 buffers de ganancia unitaria.	46
3.19	Arquitectura VCO-ADC con cadena de retraso digital para una de las fases de salida del VCO.	47
3.20	Señal de salida de una de las fases del reloj con los puntos de muestreo vs señal de reloj.	48

3.21 Salida de los buffers de la cadena de retraso junto con la señal de reloj. . .	49
3.22 Modelo de bloques en simulink del convertidor VCO-ADC con frecuencia de muestreo mejorada.	50
3.23 Demodulación de la señal de salida del VCO con la cadena de retraso. . .	51
3.24 Modelo diseñado en Simulink para aplicar el retraso a la señal.	51
3.25 Espectro en frecuencia de la señal de salida del VCO-ADC con frecuencia aumentada en Simulink.	52
3.26 Espectro en frecuencia de la señal de salida del VCO-ADC con frecuencia de muestreo aumentada diseñado a nivel de circuito con bloques en VerilogA.	53
3.27 Espectro en frecuencia de la señal de salida del VCO-ADC con frecuencia de muestreo aumentada diseñado a nivel de transistor.	54
3.28 Espectro en frecuencia de la señal de salida del VCO-ADC con frecuencia de muestreo aumentada en configuración diferencial.	55
3.29 Circuito de alimentación del sistema.	57
3.30 Inversor CMOS con los tamaños del transistor.	58
3.31 Circuito level shifter entre la salida del VCO y la etapa de demodulación. . .	59
3.32 Circuito del <i>level shifter</i> en pequeña señal.	60
3.33 Cadena de retraso implementada con inversores y un condensador en cada una de sus salidas.	61
3.34 Símbolo de un biestable D.	62
3.35 Biestable D con puertas lógicas simples.	62
3.36 Biestable tipo D realizado a nivel de transistor.	63
3.37 Puerta XOR con puertas lógicas simples.	65
3.38 Puerta XOR realizado con interruptores.	65
3.39 XOR realizado a nivel de transistor.	66
3.40 Transconductor a nivel de transistor.	68
3.41 Transconductor a nivel de transistor.	69
3.42 Efectos del ruido sobre el espectro de un VCO-ADC. (a) Espectro de $v(t)$; (b) Espectro de la salida del convertidor $y[n]$ asumiendo una entrada senoidal [11].	71

3.43	Comparación entre la salida del convertidor con ruido en el oscilador en anillo y sin ruido en el oscilador en anillo.	72
3.44	Tensión de entrada y corriente de salida del transconductor para una resistencia ideal.	73
3.45	Tensión de entrada y corriente de salida del transconductor para una resistencia no ideal.	74
3.46	Tensión de entrada y corriente de salida del transconductor para todos los componentes no ideales.	75
3.47	Espectro de salida del convertidor para la resistencia ideal y no ideal del transconductor.	76
3.48	Histograma de valores de retraso para el caso nominal de $T=27^{\circ}\text{C}$	77
3.49	Histograma de valores de retraso para una temperatura igual a -40°C	78
3.50	Histograma de valores de retraso para una temperatura igual a 100°C	79
3.51	Histograma de valores de retraso para una tensión de alimentación igual a 1.6 V.	80
3.52	Histograma de valores de retraso para una tensión de alimentación igual a 2.0 V.	81
3.53	Histograma de valores de retraso para una tensión de alimentación de 1.6 V, 100°C de temperatura y transistores lentos.	83
3.54	Espectro de la potencia de salida para el caso extremo de los buffers lentos con un retraso de 721 ps.	83
3.55	Histograma de valores de retraso para una tensión de alimentación de 2.0 V, -40°C de temperatura y transistores rápidos.	84
3.56	Espectro de la potencia de salida para el caso extremo de los buffers rápidos con un retraso de 218 ps.	85
3.57	Espectro de la potencia de salida para el caso de tiempo de retraso un 20 % superior al nominal con un retraso de 474 ps.	86
7.1	Diagrama de Gantt del proyecto.	95

ÍNDICE DE TABLAS

1.1	Propiedades de los nuevos protocolos de comunicación.	2
3.1	Datos del convertidor para el modelo de Simulink.	32
3.2	Tabla de los resultados obtenidos para el VCO-ADC convencional en Simulink.	35
3.3	Tabla de los resultados obtenidos para el VCO-ADC convencional a nivel de circuito en VerilogA.	39
3.4	Tabla de los resultados obtenidos para el VCO-ADC convencional a nivel de transistor.	41
3.5	Tabla de los resultados obtenidos para el VCO-ADC convencional diferencial.	43
3.6	Tabla de los resultados obtenidos para el VCO-ADC mejorado en Simulink.	50
3.7	Tabla de los resultados obtenidos para el VCO-ADC mejorado a nivel de circuito en VerilogA.	53
3.8	Tabla de los resultados obtenidos para el VCO-ADC mejorado a nivel de transistor.	54
3.9	Tabla de los resultados obtenidos para el VCO-ADC mejorado diferencial.	56
3.10	Tabla de los tamaños de los transistores de los inversores que componen el VCO.	59
3.11	Tabla de los tamaños de los transistores del <i>level shifter</i>	60
3.12	Tabla de los tamaños de los transistores del <i>level shifter</i>	61
3.13	Tabla de los tamaños de los transistores que componen el biestable tipo D.	64
3.14	Tabla de verdad de una puerta XOR con dos entradas y una salida.	64
3.15	Tabla de los tamaños de los transistores que componen la puerta XOR.	66
3.16	Tabla de los tamaños de los transistores y parámetros del transconductor.	67
3.17	Tabla de los casos extremos del análisis de Monte Carlo del tiempo de retraso nominal.	77
3.18	Tabla de los tiempos de retraso obtenidos para las diferentes temperaturas.	78

3.19	Tabla de los tiempos de retraso obtenidos para las diferentes tensiones de alimentación.	80
3.20	Tabla de los tiempos de retraso obtenidos para las diferentes procesos de los transistores.	81
3.21	Tabla de los tiempos de retraso obtenidos para los dos casos más extremos.	82
5.1	Tabla del coste personal.	92
5.2	Tabla del coste de licencias.	92
5.3	Tabla del coste total del proyecto.	93

Abreviaciones

A/D Analog Digital

ADC Analog-to-Digital converter

ADSL Asymmetric digital subscriber line

CCO Current Controlled Oscillator

CMOS Complementary Metal-Oxide Semiconductor

DAC Digital-to-Analog converter

DC Direct current

DFT Discrete Fourier transform

ENOB Effective number of bits

FFT Fast Fourier transform

IEEE Insitute of Electrical and Electronics Engineers

IoT Internet of Things

LSB Least Significant Bit

MOS Metal-Oxide Semiconductor

MSB Most Significant Bit

NMOS N-type metal-oxide-semiconductor

NTF Noise transfer function

OSR Oversampling Ratio

PMOS P-type metal-oxide-semiconductor

PVT Process Voltage and Temperature

SNDR Signal-to-Noise and Distortion Ratio

SNR Signal-to-Noise Ratio

SQNR Signal-to-Quantization-Noise Ratio

STF Signal transfer function

VCO Voltage Controlled Oscillator

VDSL Very-high-bit-rate digital subscriber line

VDSL2 Very-high-bit-rate digital subscriber line 2

VHDL VHSIC Hardware Description Language

Nomenclatura

$\Delta\Sigma$ Delta-Sigma

f_0 Frecuencia de oscilación en reposo

g_m Transconductancia del transistor

K_{VCO} Ganancia del VCO

P_e Potencia del ruido

P_s Potencia de la señal

τ_d Tiempo de retraso

T_s Periodo de muestreo

V_{DD} Tensión de alimentación

V_{in} Tensión de entrada

V_{th} Tensión umbral del transistor

1. INTRODUCCIÓN

1.1. Motivación del Trabajo

A pesar del actual dominio de las tecnologías digitales, las señales que proceden del mundo físico son señales analógicas, como la intensidad de la luz, la tensión o la temperatura que depende de una reacción química, etc. Los sensores que se emplean para medir variables del mundo físico utilizan señales analógicas y son diseñados con electrónica analógica, mientras que el procesamiento de los datos obtenidos con estos sensores pertenece a la electrónica digital. Por lo tanto, los convertidores analógico-digital (*Analog-to-Digital-Converter*, ADC) y los convertidores digital-analógico (*Digital-to-Analog-Converter*, DAC) se vuelven esenciales para cualquier aplicación electrónica que necesite tratar con ambos tipos de señales.

Debido al aumento de productos que realizan cálculos en el dominio digital, se deben implementar convertidores más sofisticados. Mientras en el mundo analógico, se trabaja con señales continuas que tienen resolución infinita; en el mundo digital se trabaja con valores discretos. Para poder convertir las señales analógicas en digitales, se requiere una cuantificación de la señal analógica en valores discretos. Esta cuantificación lleva asociado un error de conversión, que es fundamental considerar para cualquier convertidor. En las aplicaciones en que se utilizan convertidores es esencial conocer las especificaciones a la salida de éstos para poder escoger el convertidor correcto.

Las nuevas tecnologías demandan cada vez mejores especificaciones y requisitos en materia de comunicaciones, como un mayor ancho de banda y mayor tasa de transferencia de datos [27]. En telecomunicaciones, a pesar de los avances en fibra óptica, la tecnología más utilizada para la conexión a Internet sigue siendo el ADSL (*Asymmetric digital subscriber line*) [20], ya que llega a más localidades y es más asequible económicamente para bajas velocidades. El VDSL (*Very-high-bit-rate digital subscriber line*) y su segunda generación, VDSL2, pueden llegar a conseguir velocidades de hasta 100 Mbit/s simétricos con un ancho de banda de 30 MHz [55]. Por otro lado, otro nuevo protocolo de comunicación es el G.fast con un rendimiento entre 150 Mbit/s y 1 Gbit/s con hasta 106

CAPÍTULO 1. 1.1. MOTIVACIÓN DEL TRABAJO

MHz de ancho de banda [29].

	Tasa de transferencia de datos	Ancho de banda
VDSL y VDSL2	100 Mbit/s	30 MHz
G.Fast	150 Mbit/s – 1 Gbit/s	106 MHz

TABLA 1.1. PROPIEDADES DE LOS NUEVOS PROTOCOLOS DE COMUNICACIÓN.

Por último, una de las tecnologías que más se está desarrollando actualmente es el llamado IoT (*Internet of Things*) o Internet de las Cosas [6]. Esta nueva tecnología permite conectar vehículos, electrodomésticos, dispositivos físicos y diversos aparatos electrónicos; y así conseguir que se comuniquen [42]. Además de estas tecnologías, se están desarrollando productos en nuevas tendencias como el 5G o el 6G, en la automoción o en la biomedicina [43]. De estos dispositivos, puesto que actúan remotamente, se espera que tanto el consumo como el tamaño sean reducidos [32]. Así mismo, los datos obtenidos del entorno son analógicos, por lo que se deben convertir al ámbito digital si se quieren procesar mediante estos dispositivos.

Los requisitos y exigencias de los nuevos descubrimientos y tecnologías se concentran en los circuitos que componen estos dispositivos, por lo tanto, también se trasladan a los ADCs al ser una parte de estos. Recopilando los requisitos mencionados anteriormente, en la actualidad, se necesitan ADCs con elevados anchos de banda y elevada tasa de transferencia de datos, poca potencia y área.

Aunque la parte digital de los chips sea la dominante en cuanto a número de transistores, los circuitos analógicos suelen ser la parte limitante del sistema¹. La tecnología de fabricación de los semiconductores y circuitos integrados se ha ido escalando desde los años 60 hasta hoy en día, siguiendo la ley de Moore [40], esto quiere decir que cada vez los componentes son más pequeños. Como consecuencia de esto, han surgido algunos efectos (tanto positivos como negativos) relacionados con las tecnologías de fabricación de los transistores por debajo de los 65 nm que afectan en la parte analógica de los circuitos [36] [10]. Algunas de estas consecuencias se citan a continuación:

¹Esto puede variar dependiendo de la aplicación y del porcentaje de diseño de cada parte sobre el total del chip.

DISEÑO DE UN CONVERTIDOR A/D BASADO EN OSCILADOR EN ANILLO EN TECNOLOGÍA CMOS 0,18 μm

- Disminución de la ganancia intrínseca del transistor, que implica una mayor dificultad a la hora de aplicar las técnicas tradicionales de diseño analógico.
- Aumento de la frecuencia máxima de operación, determinada por la capacidad de los condensadores parásitos del transistor, que disminuyen con la tecnología.
- Disminución de la tensión de alimentación. Esto conlleva una menor corriente en el transistor y un menor consumo, que es positivo para el dispositivo. Debido a que la tensión umbral del transistor V_{th} no disminuye al mismo ritmo que la tensión de alimentación V_{DD} , el número de transistores en serie entre alimentación y masa disminuye.

Por otro lado, el diseño digital se ve beneficiado de este escalado de la tecnología en tres aspectos:

- Aumento de la frecuencia de muestreo, debido a la disminución de las capacidades parásitas del transistor, haciendo más rápidos los circuitos.
- Reducción del área de los chips.
- Disminución de la potencia consumida al reducir la tensión de alimentación.

Debido a estos efectos, el conjunto global del circuito se beneficia del escalado de la tecnología. Los problemas en la fabricación y diseño de los circuitos analógicos en tecnologías menores de 65 nm implican que es necesaria una transformación del diseño de ADCs hacia un diseño mayoritariamente digital.

En este trabajo se propone el diseño de un ADC con una gran parte de componentes digitales para poder cumplir con los requisitos de las nuevas tecnologías.

Para desarrollar este proyecto se ha utilizado el programa Virtuoso, de la empresa Cadence, como entorno de diseño analógico, digital y simulación, y MATLAB y Simulink para analizar los datos obtenidos y realizar los modelos ideales.

1.2. Objetivos

En este proyecto se va a realizar el estudio de un convertidor analógico-digital basado en un oscilador controlado por tensión (VCO-ADC). Esta nueva arquitectura permite mejorar la resolución del convertidor sin aumentar el orden del conformado espectral de

CAPÍTULO 1. 1.3. ESQUEMA DEL DOCUMENTO

ruido (*noise shaping order*). Además, una gran parte del circuito está formado por componentes digitales. Por tanto, permite una mejor adaptación con las nuevas tecnologías.

El principal objetivo de este proyecto es el estudio del comportamiento de la arquitectura alternativa presentada para los convertidores analógico-digital. A partir del estudio de esta arquitectura se desarrollan diferentes objetivos específicos:

- Definición de unas especificaciones en función de un modelo teórico de comportamiento.
- Comprobación del funcionamiento correcto del modelo teórico propuesto.
- Comparación teórica y práctica de la nueva arquitectura propuesta con la arquitectura convencional.
- Diseño un convertidor A/D implementado en tecnología de $0,18\ \mu\text{m}$ con un alto porcentaje de circuitos digitales.
- Aumento del SQNR y SNDR de la nueva arquitectura comparada con la convencional sin aumentar la frecuencia de reloj.
- Análisis de la sensibilidad de la cadena de retraso que permite aumentar la frecuencia de muestreo efectiva.
- Análisis del ruido de fase en el oscilador en anillo de 7 inversores.

1.3. Esquema del documento

Este documento se divide en tres partes diferentes.

En la primera parte se describe un análisis teórico de los convertidores analógico-digital, comenzando con una perspectiva general de los mismos y culminando en la perspectiva específica relativa a los VCO-ADCs. En este apartado se explican los fundamentos teóricos en los que se sustenta el desarrollo de la arquitectura propuesta. Fundamentos que resultan ser necesarios para comprender este trabajo. Esta parte constituye el estado del arte.

En la segunda parte se describe la propuesta de este proyecto. Para ello, se realiza un análisis de la arquitectura propuesta, describiendo su funcionamiento con ecuaciones y las simulaciones hechas. También se realiza una descripción de los circuitos diseñados

para cada una de las partes del convertidor y los problemas que pueden tener.

Por último, en la tercera parte, se describen y se analizan los resultados obtenidos de esta nueva arquitectura. Para llegar a unas firmes conclusiones se analiza el funcionamiento global del convertidor ante diversos fenómenos que pueden afectar al rendimiento, como son la temperatura, el ruido de los componentes e irregularidades implícitas en la fabricación del chip.

El presupuesto y el entorno socio-económico se redactan en el capítulo 5 y 6 respectivamente.

1.4. Marco regulador

Al ser este un trabajo de investigación no se aplica la legislación para la implementación descrita en este trabajo. Ante una aplicación en materia de comunicaciones, se recomienda cumplir con los estándares impuestos por el IEEE, como son los estándares que derivan del IEEE 802². Estos estándares se encargan de desarrollar y mantener los estándares de las prácticas recomendadas para redes locales, metropolitanas y otro tipo de áreas, haciendo uso de un proceso abierto y acreditado, defendidas a nivel global.

Por último, en este proyecto se cumple con la ley de Propiedad Intelectual de España y con los Derechos de Autor.

²Disponible online: <http://www.ieee802.org/>

2. ESTADO DEL ARTE

La microelectrónica es la rama de la ingeniería electrónica aplicada a los circuitos integrados. No sólo se encarga de la fabricación y el encapsulado, sino que también se ocupa de los diseños de los circuitos y sistemas de los chips. Un alto porcentaje de los dispositivos electrónicos utilizados en la actualidad se diseñan y fabrican bajo las reglas de la microelectrónica. Estos dispositivos suelen estar contruidos con semiconductores, y muchos de los componentes son los mismos que en la electrónica habitual. Aun así, el componente fundamental de estos diseños es el transistor. En la actualidad el transistor más utilizado en los microcircuitos es el transistor MOS (*metal-oxide semiconductor*)³, siendo la familia CMOS (*Complementary MOS*) la más utilizada en los circuitos digitales.

Esta familia utiliza transistores MOS del tipo canal⁴ n (*n-channel*) y canal p (*p-channel*) de forma complementaria [5]. Simplificando los MOS hasta el extremo, podemos considerar este tipo de transistor como un simple interruptor (*switch*), que puede ser controlado por la tensión en la puerta (*gate*). Mientras que los canal n conducen⁵ cuando el voltaje de su puerta es positivo, los canal p conducen con una tensión negativa. En la figura 2.1 se muestra una sección de corte transversal de un transistor MOS de enriquecimiento canal n. En las tecnologías CMOS se trabaja a escala nanométrica, esto se refiere a la mínima longitud del canal (L). Cuando se describe el tamaño de un transistor se refiere al ancho (W) y largo o longitud del canal.

En la figura 2.1 se observa un transistor canal n y los materiales con los que se fabrica. La puerta se fabrica con polisilicio⁶. Esta puerta se separa de la superficie con un aislante hecho de dióxido de silicio (SiO₂). Cuando no se aplica voltaje a la puerta, las regiones n^+ están separadas por el sustrato p^- . La distancia entre el drenador (*drain*) y la fuente (*source*) es la longitud del canal, L. También se puede observar que no hay ninguna diferencia física entre el drenador y la fuente.

³*Metal* denota el material utilizado en la puerta del transistor. Sin embargo, en tecnologías recientes se utiliza polisilicio en vez de metal.

⁴Posteriormente en este trabajo se referirá a este tipo de transistores como N (o para el caso de los canal p, solamente P). El canal de los transistores se describe siempre en singular.

⁵Permite el paso de corriente entre la fuente y el drenador del transistor.

⁶Silicio fuertemente dopado.

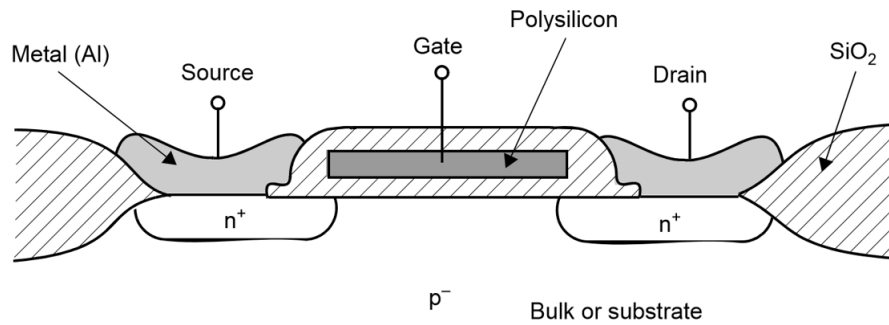


Fig. 2.1. Corte transversal de un transistor MOS canal n [12].

La microelectrónica se puede dividir en dos especialidades fundamentales que son la microelectrónica analógica y la digital. Como se ha explicado, los circuitos integrados normalmente se componen de ambas partes. Para convertir una señal analógica en una señal digital equivalente se utiliza un convertidor analógico-digital.

2.1. Conversión analógico-digital

Los convertidores analógico-digital, junto con los convertidores digital-analógico, forman parte del grupo de circuitos de convertidores de datos. La conversión analógico-digital es fundamental para una gran porción de sistemas electrónicos y permite traducir una medición analógica, que son características del “mundo real”, a un lenguaje digital. Una señal analógica puede tomar infinitos valores en un periodo de tiempo⁷, mientras que la equivalente señal digital solo puede tomar un número de valores determinados para el mismo periodo de tiempo.

A nivel de sistema, el convertidor, se puede ver como una caja en donde la entrada es analógica y salida digital.

2.1.1. Convertidor A/D ideal

En la figura 2.2 se observa el diagrama de bloque de un convertidor A/D de N-bit, en el que B_{out} es la salida digital o palabra digital, mientras que V_{in} y V_{ref} son la señal de entrada analógica y señal de referencia, respectivamente. Para el caso de estudio teórico

⁷Como por ejemplo la temperatura a lo largo del día.

CAPÍTULO 2. 2.1. CONVERSIÓN ANALÓGICO-DIGITAL

de los convertidores y el cálculo del SNDR⁸ se toma V_{in} como una entrada senoidal con la siguiente expresión:

$$V_{in} = A \sin(\omega t + \phi), \quad (2.1)$$

siendo A la amplitud de la señal de entrada y $\omega = 2\pi f$, siendo f la frecuencia de la señal de entrada y ϕ el desfase de la señal.

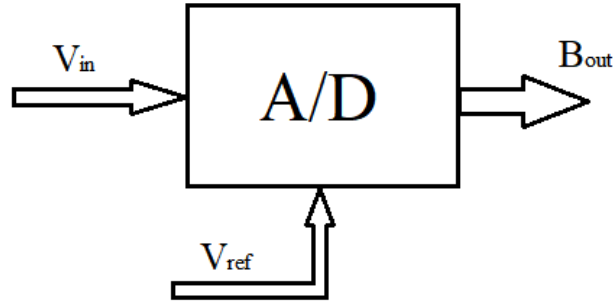


Fig. 2.2. Diagrama de bloque de un convertidor A/D ideal.

En este tipo de convertidores existen 2^N posibles estados de salida dependientes de la entrada (con N siendo el número de bits). Para relacionar estas tres señales se define la siguiente ecuación (2.2):

$$V_{ref} \cdot (b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) = V_{in} + V_x, \quad (2.2)$$

donde b_i equivale a 1 ó 0 (valor digital), siendo b_1 el bit más significativo (MSB, *Most Significant Bit*) y b_N el bit menos significativo (LSB, *Least Significant Bit*). V_x equivale al error de cuantificación. También se define V_{LSB} como el voltaje cuando un LSB cambia:

$$V_{LSB} = \frac{V_{ref}}{2^N}. \quad (2.3)$$

La resolución de este convertidor se calcula mediante la siguiente ecuación:

$$LSB = \frac{1}{2^N}. \quad (2.4)$$

⁸Para medir el desempeño de un ADC, normalmente se utiliza el SNDR (*Signal to noise and distortion ratio*). Sin embargo, también se puede utilizar el SQNR, que es el ratio entre la potencia de la señal y el error de cuantificación, que para este caso en concreto sería igual al SNDR, pero para mantener la misma nomenclatura en todo el trabajo se utiliza el término SNDR.

Por lo tanto, queda definido V_x de la ecuación (2.2) como:

$$-\frac{1}{2}V_{LSB} \leq V_x < \frac{1}{2}V_{LSB}. \quad (2.5)$$

Observando la ecuación (2.4) y (2.5), se puede ver que existe un rango de valores de entrada que producen el mismo valor digital de salida. Este fenómeno producido se llama error de cuantificación (*quantization error*).

Para mostrar la relación entre la señal de entrada y la señal de salida en un convertidor A/D ideal con 2-bit, se muestra la figura 2.3.

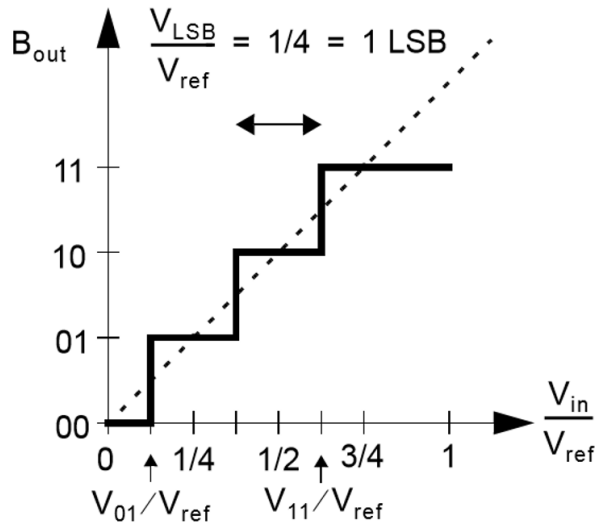


Fig. 2.3. Curvas de transferencia entre la entrada y la salida para un convertidor A/D de 2-bit [12].

Para evitar que el convertidor esté sobrecargado (*overloaded*), se debe respetar la relación expuesta en (2.3), que indica que la magnitud del error de cuantificación debe ser menor de $V_{LSB}/2$. En consecuencia, para un correcto funcionamiento, una vez cuantificada la señal, ésta se debe mantener en 1 LSB de las dos últimas transiciones de voltaje [18].

Teniendo en cuenta el error de cuantificación, mostrado en la figura 2.4, se observa que existe una equivalencia en el proceso de cuantificación.

El error es sumado a la señal analógica de entrada para generar la señal cuantificada. Obteniendo una SNDR (relación señal a ruido y distorsión) [33], para una señal de entrada

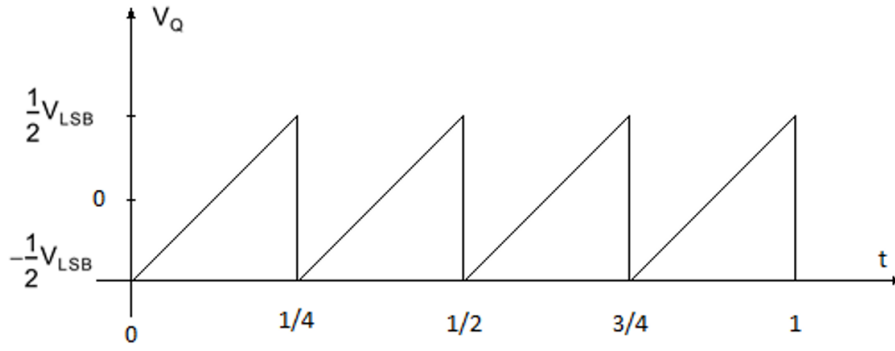


Fig. 2.4. Error de cuantificación de la figura 2.3

sinusoidal como la expresión (2.1), igual a:

$$SNDR = 20 \log \frac{V_{in(rms)}}{V_{Q(rms)}} = 20 \log \frac{V_{ref}/(2\sqrt{2})}{V_{LSB}/\sqrt{12}} = 6,02N + 1,76dB, \quad (2.6)$$

también utilizado para los convertidores Nyquist.

Antes de entrar en detalle y discutir los convertidores en profundidad, es preciso distinguir dos grandes grupos de convertidores de datos.

Convertidores Nyquist [12]: Estos convertidores generan un valor de salida que corresponde uno-a-uno con un único valor de entrada. En la mayoría de los casos, estos convertidores operan al menos a 2 veces la frecuencia de la entrada, acorde al Teorema de muestreo de Nyquist-Shannon⁹ [44]. Algunos ejemplos de ADCs en esta arquitectura se encuentran en la bibliografía de este trabajo [41] [1] [60]. El estudio de los convertidores Nyquist queda fuera del alcance de este trabajo.

Convertidores sobremuestreados [47]: Estos convertidores operan a una frecuencia mucho más rápida que los convertidores Nyquist (de 10 a 512 veces más rápido). Además, pueden utilizar técnicas que filtran paso alto el ruido de cuantificación que está en el ancho de banda de la señal de entrada. Esto permite trasladar el ruido del ancho de banda fuera de él. Esta técnica se conoce como conformado espectral de ruido (*noise shaping*) y proporciona una mejora de la relación señal a ruido (SNR, *Signal-to-Noise Ratio*). Algunos ejemplos de esta arquitectura son los presentados en los artículos [58] [28] [46] [56] [13].

⁹En este documento se referirá a este teorema como teorema de Nyquist.

2.2. Convertidores sobremuestreados

Los convertidores A/D con sobremuestreo son populares para aplicaciones con una necesidad de alta resolución, como audio de alta calidad o procesamiento de señal en sistemas inalámbricos. Pero son aún más populares por desplazar los requisitos en cuanto al diseño, que recaen sobre los circuitos analógicos, al ámbito digital [56]. Estos convertidores son los que operan a una frecuencia de muestreo mucho mayor que la frecuencia máxima de la señal. En este caso, el error de cuantificación se distribuye aleatoriamente a lo largo de la banda de frecuencia. Como consecuencia, la densidad del ruido de cuantificación es reducida. En la figura 2.5 se observa este efecto.

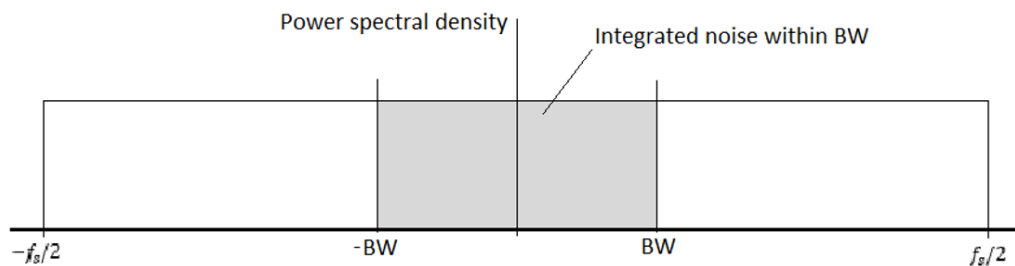


Fig. 2.5. Espectro de la densidad de la potencia del ruido entre $-f_s/2$ y $f_s/2$.

Este tipo de convertidores utilizan una frecuencia de muestreo mucho mayor que los convertidores Nyquist, por lo tanto se pueden conseguir más bits de resolución para un mismo ancho de banda. Este extra de resolución se puede obtener con un menor ratio de sobremuestreo gracias al conformado espectral de ruido realizado al espectro de la frecuencia, haciendo uso de la realimentación. Los convertidores que utilizan esta técnica se suelen llamar Delta-Sigma ($\Delta\Sigma$) o, con menor frecuencia, Sigma-Delta. Para el caso de esta nueva arquitectura propuesta, se diseña un convertidor con conformado espectral de ruido.

2.2.1. Ventajas del sobremuestreo

Algunas de las ventajas de este convertidor se han descrito anteriormente. En esta sección se explican con mayor detalle. Se puede observar al final de la sección que el SNDR se ve incrementado con el sobremuestreo.

El sobremuestreo ocurre cuando la señal de interés, limitada a una frecuencia máxima

CAPÍTULO 2. 2.2. CONVERTIDORES SOBREMUESTREADOS

f_{max} y una frecuencia de muestreo f_s , cumple que $f_s > 2f_{max}$. Además, se puede definir el ratio de sobremuestreo, OSR , (*oversampling ratio*), como:

$$OSR = \frac{f_s}{2f_{max}}. \quad (2.7)$$

Asumiendo que la señal de entrada es una onda sinusoidal (común a la hora de analizar ADCs), su máximo valor de pico es $2^N(\Delta/2)$. Para este máximo, la potencia de la señal, P_s , es equivalente a:

$$P_s = \left(\frac{\Delta 2^N}{2\sqrt{2}} \right)^2 = \frac{\Delta^2 2^{2N}}{8}, \quad (2.8)$$

donde Δ equivale a la diferencia entre dos niveles de cuantificación. Un diagrama de bloques y una respuesta en frecuencia del bloque $H(f)$ se muestra en la figura 2.6.

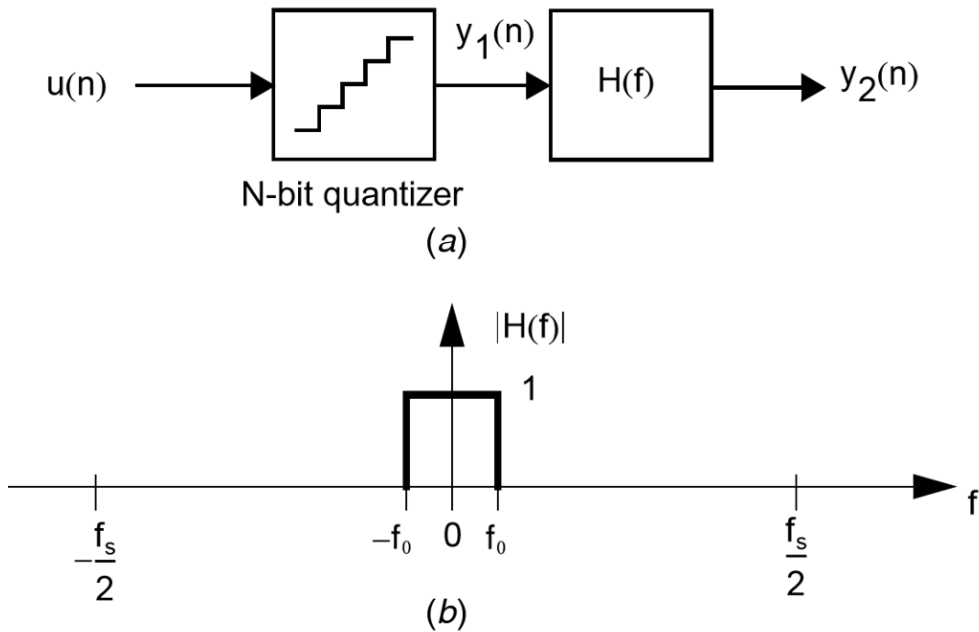


Fig. 2.6. (a) Una posible configuración de sobremuestreo sin conformado espectral de ruido. (b) Respuesta del filtro para eliminar el ruido de cuantificación [12].

Observando la figura 2.5 y la figura 2.6.(b) se puede entender por qué los convertidores con sobremuestreo permiten alcanzar un mayor valor de SNDR que los Nyquist, para un determinado número de bits. Se analiza que el ancho de banda para este tipo de convertidores es mucho menor que para los convertidores Nyquist ($f_s/2$), por lo tanto, el ruido que cae sobre el ancho de banda de interés será menor.

La potencia de entrada se mantiene igual, mientras que la potencia del ruido de cuantificación (P_e) se reduce a la expresión (2.9):

$$P_e = \int_{-f_s/2}^{f_s/2} S_e^2(f) \cdot |H(f)|^2 df = \int_{-f_0}^{f_0} k_x^2 df = \frac{2f_0}{f_s} \frac{\Delta^2}{12} = \frac{\Delta^2}{12} \left(\frac{1}{OSR} \right). \quad (2.9)$$

Por lo tanto, aumentar el OSR disminuye la potencia del ruido de cuantificación.

Se puede calcular el valor máximo SNDR (en dB), siendo el ratio entre la potencia máxima de señal sinusoidal y la potencia del ruido de cuantificación más la distorsión (señal $y_2(n)$). La expresión matemática que define esta relación es (2.10):

$$SNDR_{max} = 10 \log \frac{P_s}{P_e} = 10 \log \frac{3}{2} \cdot 2^{2N} + 10 \log OSR, \quad (2.10)$$

que equivale a:

$$SNDR_{max} = 6,02N + 1,76 + 10 \log OSR. \quad (2.11)$$

Observando la ecuación (2.11), al sobremuestrear con una frecuencia de muestreo superior a la frecuencia de Nyquist, sin conformado espectral de ruido, y aumentar el OSR , se obtiene una SNDR mejorada en $10 \log(OSR)$ dB. Lo que es equivalente a aumentar 3 dB la SNDR al doblar el OSR .

2.2.2. ADC sobremuestreado con conformado espectral de ruido

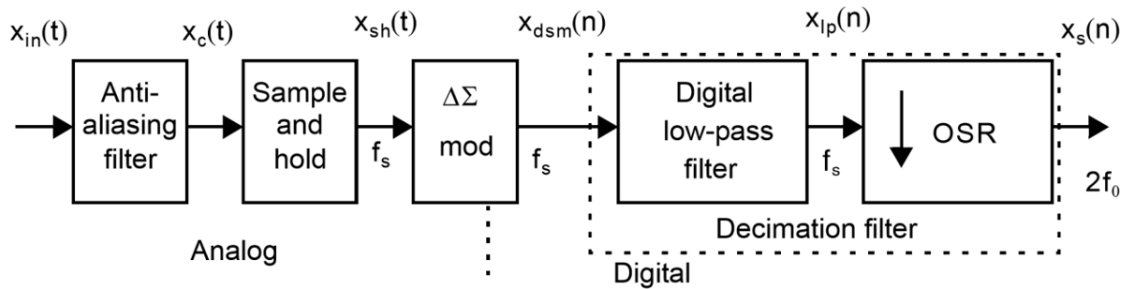


Fig. 2.7. Diagrama de bloques de un convertidor A/D con sobremuestreo y conformado espectral de ruido [12].

CAPÍTULO 2. 2.2. CONVERTIDORES SOBREMUESTREADOS

Como se ha comentado anteriormente, esta arquitectura es típica de los moduladores $\Delta\Sigma$ [12], en la figura 2.7 se muestra un esquema a nivel de bloques de este tipo de convertidor. Antes y después de la etapa que realiza la conversión de analógico a digital se emplean diferentes etapas de filtrado. Se observa que la primera etapa es un filtro *anti-aliasing* continuo, con la función principal de limitar el ancho de banda de las señales de entrada a frecuencias menores de la mitad de la frecuencia de muestreo, f_s . Después de este filtro, la señal continua, $x_c(t)$, se muestrea con el bloque llamado *sample and hold* para ADC discretos. La señal de salida es procesada por el modulador $\Delta\Sigma$ ($\Delta\Sigma \text{ mod}$), en donde la señal analógica se convierte en una señal digital con conformado espectral de ruido. A partir de este bloque ya se trabaja con una señal digital. El último bloque del sistema es un decimador (*decimation filter, decimator*). Este bloque convierte la señal digital sobremuestreada en otra con menor número de muestras sin perder resolución. Normalmente se puede suponer que el decimador es como un filtro digital de paso bajo seguido de un *downsampler* (reducción de la frecuencia de muestreo).

2.2.3. Modulador Delta-Sigma

En esta sección se presenta el modelo general de un modulador Delta-Sigma con conformado espectral de ruido [14], como se observa en la figura 2.7. Esta estructura es equivalente a un integrador hecho con un integrador realimentado negativamente (*feed-back*). También es conocida como estructura interpolativa (*interpolative structure*). En la figura 2.8 se muestra un modulador Delta-Sigma de primer orden. En este modulador se observa una diferencia a la entrada seguido de un integrador o un sumador en cascada con un modulador delta. A partir de esta estructura de bloques se conoce la figura 2.8 como modulador Delta-Sigma, $\Delta\Sigma$ [47].

A partir de la figura 2.9, y observando el modelo lineal de 2.9.(b), se pueden establecer (como aproximación) las dos siguientes funciones de transferencia. Una para la señal, $STF(z)$, y otra para el ruido, $NTF(z)$:

$$STF(z) = \frac{Y(z)}{U(z)} = \frac{H(z)}{1 + H(z)}, \quad (2.12)$$

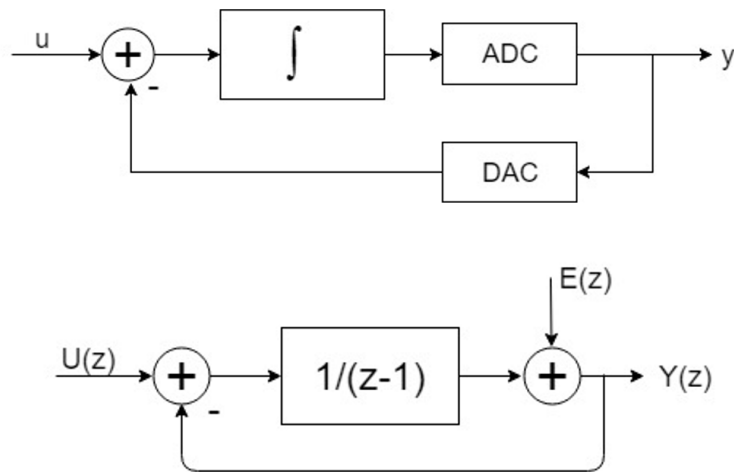


Fig. 2.8. Modulador Delta-Sigma de primer orden como ADC y su modelo lineal en el dominio z .

$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)}. \quad (2.13)$$

Se observa que el número de ceros de la función de transferencia del ruido, $NTF(z)$, será equivalente al número de polos de $H(z)$. Combinando las dos señales se puede llegar a la siguiente expresión (2.14) en el dominio de la frecuencia:

$$Y(z) = STF(z) \cdot U(z) + NTF(z) \cdot E(z). \quad (2.14)$$

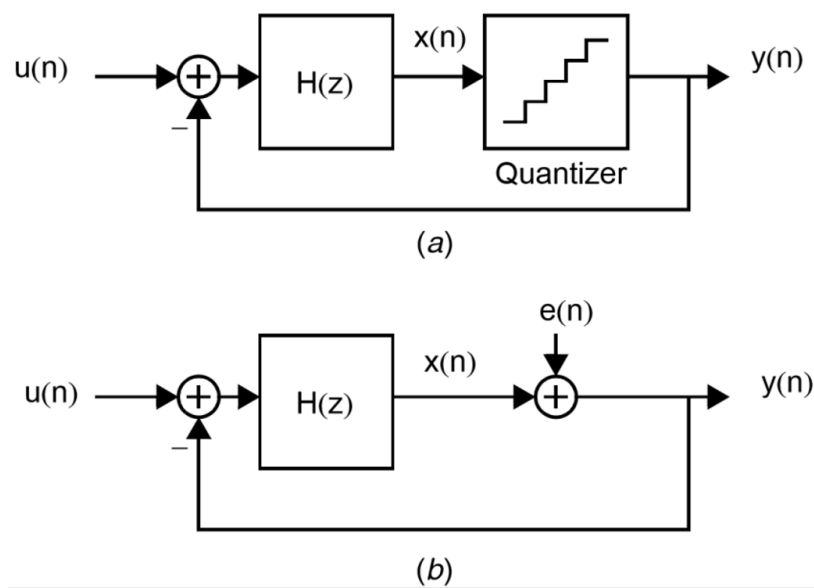


Fig. 2.9. Modulador Delta-Sigma con su modelo lineal: (a) modulador $\Delta\Sigma$ general; (b) modelo lineal del modulador con ruido de cuantificación [12].

CAPÍTULO 2. 2.2. CONVERTIDORES SOBREMUESTREADOS

Para poder conformar el ruido de manera eficiente, se escoge una $H(z)$ que permita que la $STF(z)$ sea la unidad mientras que la $NTF(z)$ se comporte como un filtro paso alto. Con esta opción, la función de transferencia de la señal, $STF(z)$, se aproxima a la unidad sobre la banda de frecuencia de interés. Además, la función de transferencia del ruido, $NTF(z)$ se aproxima a cero. Así, el error de cuantificación se reduce en la banda de frecuencia de interés, mientras que la señal no es afectada. Para frecuencias altas, el ruido no se reduce por la realimentación, ya que hay poca ganancia en el bucle.

Antes de escoger una función específica para $H(z)$, se debe tener en cuenta que el máximo nivel de la señal de entrada, $u(n)$, debe permanecer entre los niveles máximos de la señal de realimentación, $y(n)$; en caso contrario, la alta ganancia de $H(z)$ puede causar que la señal $x(n)$ se sature.

Para conformar el espectro del ruido de cuantificación (*to noise-shape the quantization error*), se coloca el bucle de realimentación con una respuesta diseñada para atenuar el ruido de cuantificación en la banda de frecuencia de interés [4].

2.2.4. Conformado espectral de ruido de primer orden

Una vez explicado el funcionamiento general de un modulador $\Delta\Sigma$, se describe uno de primer orden en detalle. Para poder realizar un modulador con conformado espectral de ruido de primer orden, la función de transferencia del ruido, $NTF(z)$, debe tener un cero en dc (por ejemplo: $z = 1$), para que así, el ruido de cuantificación presente un filtrado paso alto. Como se ha descrito anteriormente, $H(z)$ tiene que tener los mismos polos que ceros tiene $NTF(z)$. Por lo tanto, se puede obtener un primer orden con conformado espectral de ruido, si $H(z)$ es un integrador en discreto (también puede ser continuo) como el siguiente:

$$H(z) = \frac{1}{z - 1}. \quad (2.15)$$

En la figura 2.10 se representa un modulador $\Delta\Sigma$ de primer orden. Desde un punto de vista del dominio del tiempo, la señal $x(n)$ está acotada. Debido a que el integrador tiene ganancia infinita en dc, el valor medio de la entrada del integrador tiene que ser igual a cero ($u(n) - y(n)$ igual a cero). Esto significa que el valor medio de $u(n)$ tiene que ser igual

al valor medio de $y(n)$.

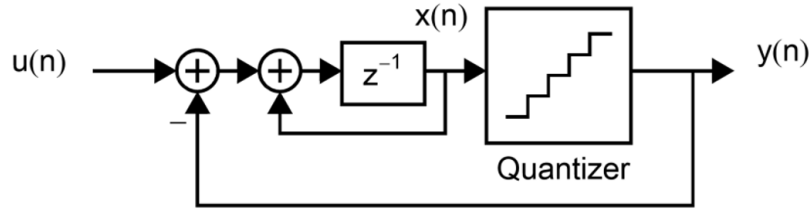


Fig. 2.10. Modulador interpolativo de primer orden con conformado espectral de ruido [12].

Usando un solo integrador dentro de un modulador $\Delta\Sigma$ con realimentación, se coloca un cero en dc en la función de transferencia del ruido consiguiendo un conformado espectral de ruido de primer orden.

Desde el punto de vista del dominio de la frecuencia, la función de transferencia de la señal, $STF(z)$, queda dada por la siguiente expresión (2.16):

$$STF(z) = \frac{Y(z)}{U(z)} = \frac{1/(z-1)}{1 + 1/(z-1)} = z^{-1}. \quad (2.16)$$

Mientras que la función de transferencia del ruido, $NTF(z)$, viene dada por:

$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + 1/(z-1)} = (1 - z^{-1}). \quad (2.17)$$

Observando las expresiones resultantes 2.16 y 2.17, la función de transferencia de la señal es un *delay* (retraso), mientras que la función de transferencia del ruido es un diferenciador de tiempo discreto (*discrete-time differentiator*), es decir, un filtro de paso alto.

Por consiguiente, la salida del modulador consiste en el valor cuantificado de la señal de entrada retrasada un periodo de muestreo, sumado a una diferencia de error de cuantificación entre el valor presente y los anteriores.

Finalmente se obtiene el SNDR máximo dado por:

$$SNDR_{max} = 6,02N + 1,76 - 5,17 + 30 \log OSR. \quad (2.18)$$

Analizando la expresión (2.18), se puede llegar a la conclusión de que aumentando por

2 el OSR se mejora el SNDR del modulador de primer orden en 9 dB.

2.2.5. Conformado espectral de ruido de segundo orden

Además de moduladores $\Delta\Sigma$ de primer orden, también es posible diseñar moduladores de un orden mayor. Estos convertidores proporcionan un mayor orden de conformado espectral de ruido. En la figura 2.11 se puede ver una representación de un modulador $\Delta\Sigma$ de segundo orden [9]:

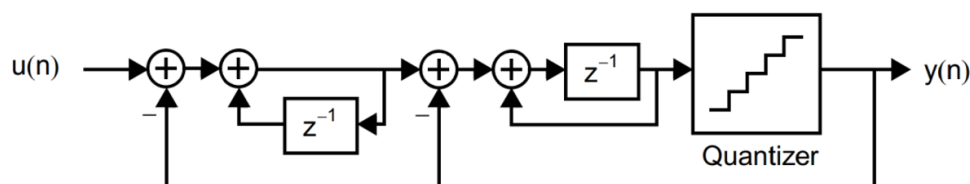


Fig. 2.11. Diagrama de bloques de un modulador Delta-Sigma de segundo orden [12].

Adicionalmente, la expresión que define el SNDR máximo es la siguiente:

$$S N D R_{max} = 6,02N + 1,76 - 5,17 + 50 \log OSR. \quad (2.19)$$

A partir de esta expresión (2.19), se observa que, doblando el OSR , se consigue mejorar la SNDR por 15 dB para un modulador de segundo orden.

2.2.6. Curvas de la función de transferencia del ruido

En esta sección, se muestra una representación gráfica de cómo actúa el conformado espectral de ruido para un ancho de banda determinado. En la figura 2.12 se puede observar la forma para el orden cero, primer orden y segundo orden. En esta figura se percibe como al aumentar el orden, el ruido queda fuera del ancho de banda de interés, siendo este de 0 a f_0 . Además, este fenómeno se hace mayor según se aumenta el orden del modulador.

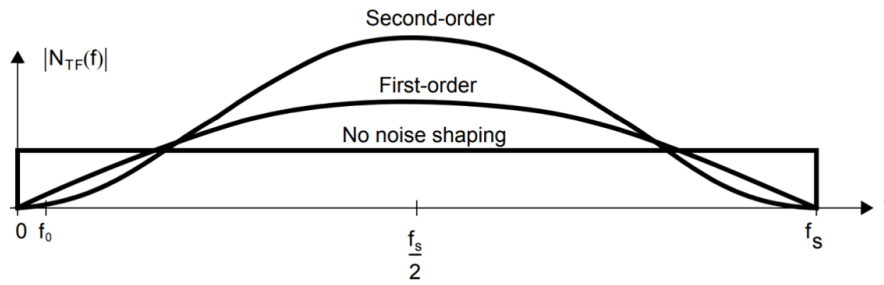


Fig. 2.12. Funciones de transferencia para el conformado de ruido espectral.

2.3. Convertidor analógico digital basado en oscilador en anillo controlado por tensión (VCO-ADC)

Una de las arquitecturas para diseñar un convertidor analógico digital se basa en utilizar un oscilador en anillo controlado por tensión (VCO) o por corriente (CCO). Los convertidores basados en osciladores en anillo forman parte de los ADCs en tiempo continuo (*continuous-time ADCs*). Con este tipo de arquitecturas se puede conseguir un desempeño similar al de los $\Delta\Sigma$ [16]. Este tipo de convertidor genera una señal con una frecuencia proporcional a la señal analógica de entrada. La señal de entrada es modulada a través de la oscilación y después es muestreada.

En la figura 2.13 se muestra un diagrama de bloques de un convertidor basado en un VCO en bucle abierto. En él se muestran: un bloque sigma (*Modulo integrator*), un cuantificador (*Quantizer*) y un delta (*Modulo differentiator*). Se puede observar que la realimentación no es necesaria para realizar este tipo de modulador [57].

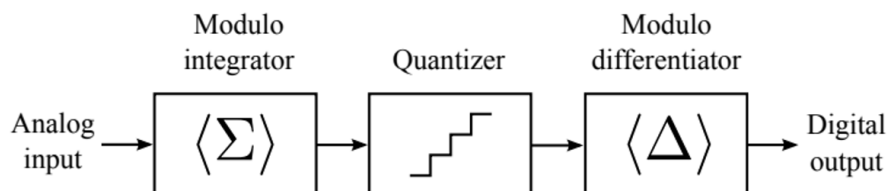


Fig. 2.13. Diagrama de bloques simplificado de un VCO-ADC en bucle abierto.

El diagrama de bloques y su correspondiente linealización en el dominio de la frecuencia de la configuración en bucle abierto de un convertidor ADC basado en un VCO de primer orden se muestra en la figura 2.14. La entrada analógica (V_{in}) se aplica al VCO co-

CAPÍTULO 2. 2.4. OSCILADOR EN ANILLO (VCO)

mo tensión de control. La salida del VCO es una señal cuadrada en la que su frecuencia es proporcional a la entrada. Debido a que el VCO produce un error de cuantificación, éste se suma como $Q(s)$ a la señal. En este caso el VCO actúa como un integrador y cuantificador. Seguidamente, la señal es muestreada y se aplica la primera diferencia, generando la salida del convertidor.

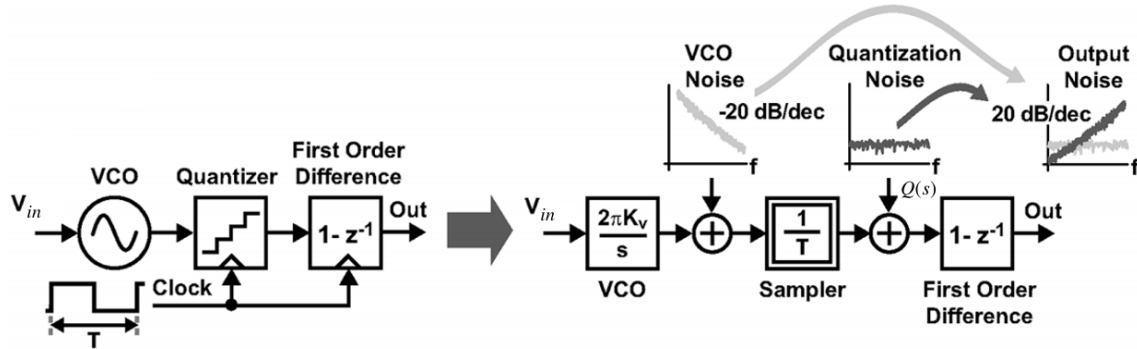


Fig. 2.14. Diagrama de bloques y modelo de linealización en el dominio de la frecuencia de un convertidor ADC Delta-Sigma de primer orden basado en un VCO en bucle abierto [46].

2.4. Oscilador en anillo (VCO)

Un oscilador en anillo es un circuito electrónico compuesto por un número impar de inversores en serie en forma de anillo [30]. Un esquema de un oscilador en anillo se muestra en la figura 2.15. Este tipo de circuito actúa como cuantificador y realiza el conformado espectral de ruido de primer orden a la señal de entrada del VCO-ADC.

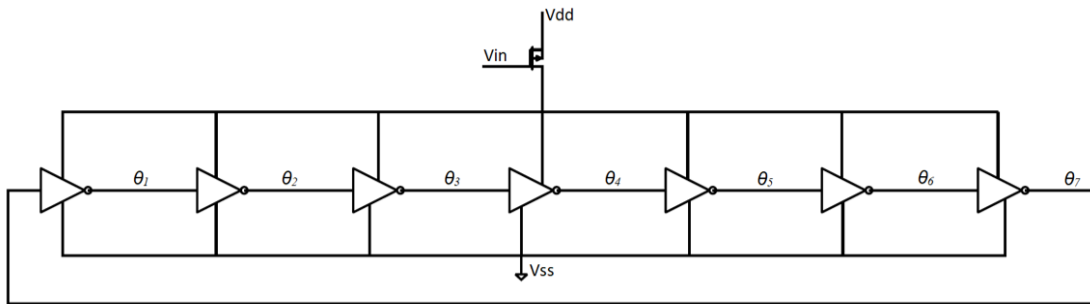


Fig. 2.15. Esquemático de un oscilador en anillo de 7 fases.

El oscilador en anillo se caracteriza por poder proporcionar elevadas frecuencias de oscilación con una baja tensión de alimentación, por lo que la potencia consumida es menor, al mismo tiempo que se mantiene la resolución en la conversión tensión-frecuencia. Debido a su estructura, se pueden obtener varias fases de salida pudiendo ser combinadas para producir oscilaciones en múltiples fases, siendo θ_n las fases de salida del oscilador.

El VCO opera como un integrador de la señal de entrada, debido a que la fase del oscilador es una integral de su frecuencia, como se muestra en (2.20). Además, si la salida del oscilador es procesada de manera que la progresión de la fase es solo muestreada por pasos fijos, el VCO también cumple la función de cuantificador del dominio de fase:

$$\theta(t) = 2\pi \int_0^t f_{osc}(\tau) d\tau = 2\pi f_0 \cdot t + 2\pi \cdot K_{VCO} \int_0^t x(\tau) d\tau, \quad (2.20)$$

donde $\theta(t)$ es la fase de la salida del VCO y K_{VCO} la ganancia del oscilador. Se observa, como se ha descrito antes, que la fase de salida del VCO es la integral de la frecuencia de oscilación. También se observa a partir de (2.21) que la limitación relacionada con los componentes es mínima. Por lo tanto, el VCO puede ser una buena alternativa para sustituir al integrador analógico.

La frecuencia de oscilación de un oscilador en anillo depende del tiempo de retraso, τ_d , por etapa y del número de etapas. Además de depender de la alimentación. Para conseguir un oscilador autosostenido, es necesario que se alcance un cambio de fase de 2π y una ganancia unitaria. Para un oscilador con M etapas, cada etapa debe proporcionar un cambio de fase de π/M , mientras que la inversión en DC debe proporcionar el resto de cambio de fase de π . Por lo tanto, para conseguir un cambio de 2π , la señal debe pasar por todas las etapas dos veces en un periodo de tiempo de $2M \cdot \tau_d$. La frecuencia de oscilación viene dada por:

$$f_0 = \frac{1}{2M \cdot \tau_d}. \quad (2.21)$$

Junto con la tensión de alimentación, la principal variable para determinar esta frecuencia es τ_d , que depende de los parámetros del inversor y los transistores que lo forman¹⁰. En

¹⁰Para tamaños pequeños de transistores que forman los inversores, más corto es el tiempo de retraso y, a consecuencia de ello, más rápida es la oscilación total. Por el contrario, a mayor tamaño, mayor es el tiempo de retraso y más lenta es la oscilación. Esto es debido a las capacidades parásitas de los transistores

CAPÍTULO 2. 2.4. OSCILADOR EN ANILLO (VCO)

consecuencia, para realizar la conversión de analógico a digital, se alimenta el oscilador en anillo con la señal analógica que se pretende convertir¹¹. La frecuencia de oscilación se determina por la siguiente expresión:

$$f_{OSC} = f_0 + K_{VCO} \cdot x(t) \quad x(t) \in [1, -1], \quad (2.22)$$

donde f_0 es la frecuencia central de oscilación cuando $x(t) = 0$ y K_{VCO} es la ganancia del VCO. La señal de entrada $x(t)$ se considera adimensional y f_0 y K_{VCO} se expresan en Hz.

2.4.1. Problemas del oscilador en anillo

Se puede observar que utilizar un VCO para realizar un ADC es una buena alternativa si se busca tener un rendimiento y funcionamiento parecido al de un modulador $\Delta\Sigma$. Sin embargo, uno de los problemas que aparecen al utilizar el oscilador en anillo es su no linealidad [25]. Este fenómeno limita la resolución que se puede obtener de un ADC basado en un VCO. La no linealidad del oscilador en anillo provoca armónicos que aparecen en el espectro de la frecuencia de salida y limitan la resolución máxima que se puede obtener del convertidor. Este problema es causado por el inversor, debido a la no linealidad de su retraso con respecto a la tensión de alimentación. Existen técnicas de linealización que no son motivo de estudio en este trabajo.

Además de este problema de linealidad, se debe tener en cuenta que la arquitectura del convertidor basado en un VCO tiene una resolución limitada al orden de conformado espectral de ruido (primer orden). Debido a este problema, en este trabajo se propone una posible solución y mejora de la resolución del convertidor sin aumentar su orden de muestreo.

En el siguiente capítulo se va a presentar la nueva arquitectura propuesta haciendo una comparación con el VCO-ADC convencional, presentando los resultados para ambos casos. A continuación, se mostrarán todos los circuitos realizados a nivel de transistor

que hacen más lento el cambio de '0' a '1' en digital y viceversa.

¹¹Un ejemplo de cómo varía la frecuencia de oscilación dependiendo de la señal de entrada se muestra en la figura 2.15. Esta señal de entrada se aplica sobre la puerta de un transistor PMOS que alimenta al VCO mediante su corriente de salida. La señal de entrada es un seno a 1 MHz con una amplitud de 100 mV centrada en 900 mV.

DISEÑO DE UN CONVERTIDOR A/D BASADO EN OSCILADOR EN ANILLO EN TECNOLOGÍA CMOS 0,18 μm

con una descripción de su funcionamiento. Por último, se realiza un estudio y análisis de sensibilidad de algunos de los circuitos de la propuesta para determinar su viabilidad y validez.

3. VCO-ADC CON FRECUENCIA DE MUESTREO INCREMENTADA

Una vez establecida la teoría básica para entender los convertidores en general y los moduladores $\Delta\Sigma$, se aplica esta teoría a la nueva propuesta de un convertidor A/D basado en un oscilador en anillo. Este capítulo centra la atención sobre la nueva arquitectura para el convertidor de una sola etapa y en bucle abierto. Este ADC permite realizar un conformado espectral de primer orden. El objetivo de este capítulo 3 del trabajo es diseñar una alternativa a la arquitectura básica descrita brevemente en el punto 2.3. del Estado del Arte. Esta nueva arquitectura se conoce como *Time-Interleaved sampling* [7] VCO-ADC. La propuesta permite mejorar la resolución del convertidor sin aumentar el orden de conformado espectral de ruido. Para ello, se aumenta la frecuencia de muestreo efectiva mediante una cadena digital de líneas de retraso conectada a la salida de cada fase del VCO. Esto permite que los datos de salida sean procesados a una mayor frecuencia, sin aumentar la frecuencia de reloj, con un ratio de sobremuestreo superior.

Se debe mencionar que la arquitectura básica de este convertidor se utiliza como comparación con la nueva arquitectura propuesta, es decir, el rendimiento y funcionamiento de esta arquitectura propuesta se va a comparar con el rendimiento de la arquitectura clásica. Por lo tanto, también se diseña un convertidor VCO-ADC básico como el que se observa en la figura 3.1. Este diseño se realiza en la primera parte de la sección. Al ser esta arquitectura la básica, se modifica y se mejora para poder realizar la alternativa propuesta. Es importante destacar que en esta sección se evaluarán y comprobarán los objetivos propuestos para este trabajo descritos en 1.2.

Para realizar ambos convertidores (el VCO-ADC convencional y la propuesta que mejora la resolución del convertidor convencional), se diseñan los modelos ideales en Simulink de ambas arquitecturas a la vez que se describen y analizan las ecuaciones y principios teóricos de funcionamiento de cada uno respectivamente. Una vez comprobado el correcto funcionamiento de los convertidores, se diseñan ambos en el software Virtuoso Cadence a nivel de circuito en tecnología de $0,18\ \mu\text{m}$, cuya tensión de alimentación nominal es de 1.8 V. En este software se diseñan todas las partes del circuito, tanto en el lenguaje de

modelado VerilogA¹², como a nivel de transistor. A partir de las simulaciones teóricas se pueden analizar los resultados obtenidos en las simulaciones a nivel de circuito.

Seguidamente, en la sección 3.2, se muestran todos los esquemáticos de los circuitos a nivel de transistor realizados de ambos convertidores. Junto a estas figuras se añade una descripción analítica y teórica del funcionamiento del circuito mostrado para una mejor comprensión.

Al final de este capítulo, en la sección 3.3, una vez observado los resultados de la simulación con los parámetros nominales de la propuesta, se discuten el rendimiento, el desempeño y la robustez para dar validez a la nueva arquitectura. Se analiza la robustez de la cadena de retraso dependiente de diferentes parámetros, tanto físicos como dependientes del proceso de fabricación de los transistores. Así mismo, se analiza el ruido de fase del oscilador en anillo y se comprueba si limita el desempeño del convertidor. En esta arquitectura, también es posible apreciar la no linealidad del VCO (descrito en la sección 2.4.). Este efecto perjudica en el rendimiento del convertidor en bucle abierto y reduce su resolución. Por último, se analiza el ruido térmico provocado por la resistencia que se implementa en el transconductor, utilizado, en el caso de este trabajo, en los diseños diferenciales y que alimenta en corriente al oscilador en anillo.

3.1. Desarrollo de la idea

Como se ha descrito anteriormente, el punto de partida de este trabajo es la arquitectura mostrada en la figura 3.1, en la que se representa un diseño sencillo para realizar un VCO-ADC. Esta arquitectura convencional realiza un conformado espectral de ruido de primer orden y su funcionamiento es parecido al de un modulador $\Delta\Sigma$ de primer orden. A partir de esta arquitectura se puede presentar la nueva propuesta de convertidor en este trabajo.

Esta arquitectura convencional es diseñada (tanto a nivel de bloques con Simulink, como a nivel de circuito en Virtuoso Cadence) y es analizada en este trabajo. Esto permite conocer el rendimiento de esta arquitectura y el punto de partida para diseñar la alternativa. A continuación, siguiendo el desarrollo teórico de la arquitectura convencional, se analiza un VCO-ADC diseñado en este trabajo.

¹²VerilogA es un lenguaje de modelado de hardware que deriva de VHDL. Este lenguaje describe el *hardware* y el comportamiento de los circuitos analógicos y los sistemas analógico-digitales.

3.1.1. VCO-ADC convencional

En esta sección se describe el VCO-ADC básico con mayor profundidad apoyándose en la sección 2.3 del Estado del Arte. Como se ha comentado anteriormente, esta arquitectura sirve de comparación con la nueva propuesta y como punto de partida. Esta arquitectura es diseñada y estudiada en diferentes artículos de la bibliografía [46] [56] [54], y un análisis de éstos se realiza en [35].

El análisis de esta arquitectura fundamental se desarrolla en dos partes diferentes. Para empezar, se realiza un modelo en Simulink con bloques ideales para obtener los primeros resultados permitiendo definir unas especificaciones teóricas. Una vez obtenidos los resultados óptimos para esta arquitectura, se prosigue diseñando el circuito en tecnología de $0,18\ \mu\text{m}$ en Virtuoso Cadence.

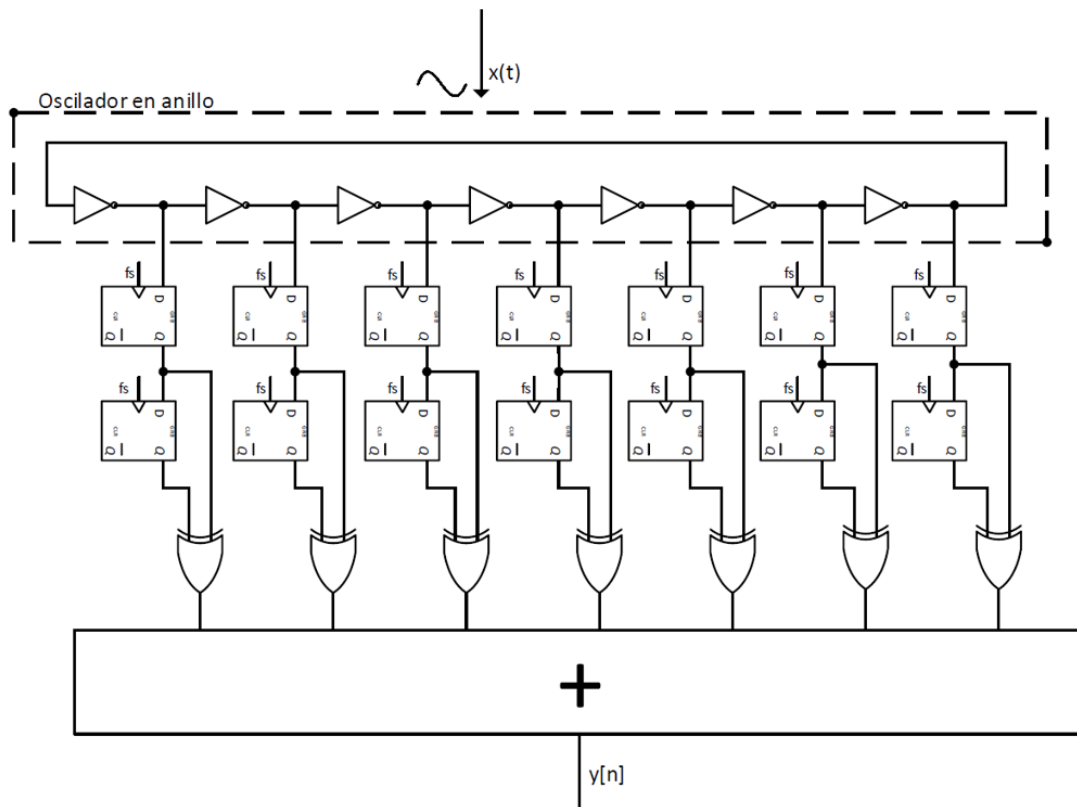


Fig. 3.1. Arquitectura convencional de un VCO-ADC basada en un oscilador en anillo.

Utilizando la arquitectura mostrada en la figura 3.1, en la que se muestra un sistema a nivel de circuito del VCO-ADC, se pueden mostrar algunas figuras de señales destacadas en el esquema para una mejor comprensión del funcionamiento del convertidor. Esta ar-

quitectura sustituye el bloque de muestreo (*sampler*) de la figura 2.14 por dos biestables tipo D y la primera diferencia (*First Order Difference*) se aplica mediante una puerta XOR en la que se conectan ambas salidas de los *flip-flops*, es decir, la primera muestra de salida con la segunda. Los circuitos digitales a partir del oscilador en anillo se encargan de la demodulación de la señal de salida del VCO. Una visualización de esta descripción se realiza en la figura 3.2, en donde θ_i es una de las fases de salida del VCO, y_i es una de las salidas de la demodulación digital y clk es la señal de muestreo [16]. Se puede observar cómo en esta arquitectura se utilizan todas las fases de salida del VCO [35]. Por otro lado, el bloque sumador se realiza en código, sumando todas las entradas en una única salida.

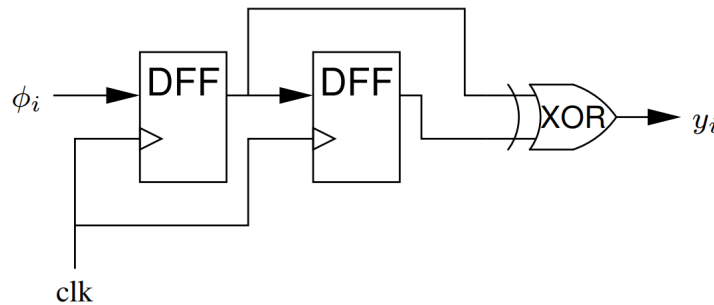


Fig. 3.2. Demodulación digital de la señal de salida del VCO [16].

Asimismo, a partir de la figura 3.1 se puede realizar el circuito y el modelo del convertidor A/D que se mostrarán más adelante en este documento. A continuación, se muestran algunas figuras con el comportamiento de este circuito en simulación para realizar una explicación más amplia del oscilador en anillo.

Una oscilación de una de las fases de salida del oscilador en anillo se muestra en la figura 3.4. Se puede observar que existe un tiempo de retraso en cada flanco (el tiempo que transcurre la señal entre 0 V y 1.8 V). Para el caso de la señal de entrada descrita en (2.1), el tiempo de retraso, τ_d , crece a medida que esta tensión aumenta, y disminuye a medida que la tensión de entrada decrece. El efecto del tiempo de retraso en la frecuencia de oscilación se expresa en (2.21). La frecuencia de esta señal en función de la señal de entrada se puede observar en la figura 3.3, que oscila a una frecuencia inversa a la señal de entrada. Este efecto se debe a la variación de la tensión de alimentación y la relación que existe entre la frecuencia de oscilación y el tiempo de retraso del inversor, como se expresa en (2.21). Se puede observar como la frecuencia central de oscilación, f_0 es aproximadamente 100 MHz, mientras que la ganancia del VCO, K_{VCO} es aproximadamente

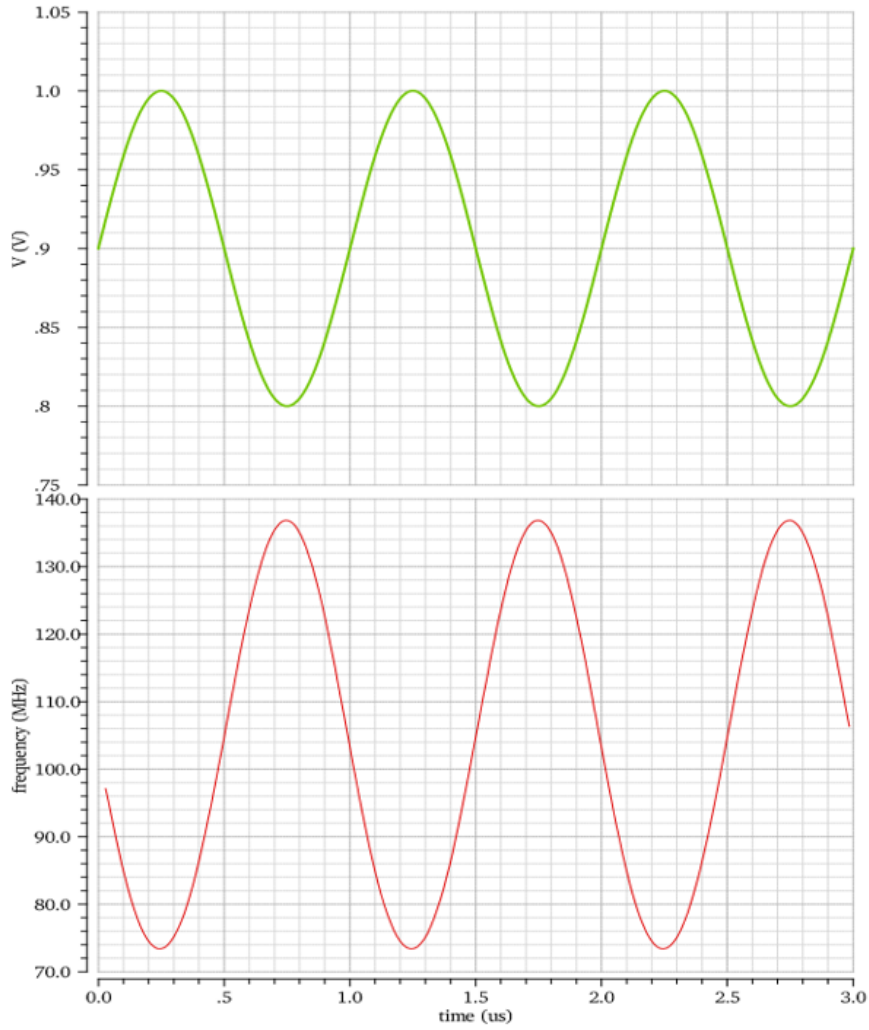


Fig. 3.3. Señal de entrada vs frecuencia de oscilación de la salida del VCO.

30 MHz. Por otra parte, como se observa en la figura 2.15, la señal de entrada (en tensión) se conecta a la puerta de un transistor que transforma, proporcionalmente, esta tensión en corriente de entrada al oscilador en anillo.

La frecuencia de oscilación máxima está limitada a $f_s/2$, debido a que pertenece a un convertidor A/D, lo que limita la ganancia del VCO. La frecuencia de un oscilador en anillo con M etapas, es equivalente a un oscilador de una sola fase, conforme con [24]:

$$f'_{osc} = M \cdot f_{osc}. \quad (3.1)$$

En la figura 3.5 se muestran las salidas de cada una de las fases del VCO. Se puede observar como éstas no son totalmente digitales ya que llegan a un máximo de aproximadamente 0.7 V de amplitud. También existe un retraso entre las fases debido a los

DISEÑO DE UN CONVERTIDOR A/D BASADO EN OSCILADOR EN ANILLO EN TECNOLOGÍA CMOS 0,18 μm

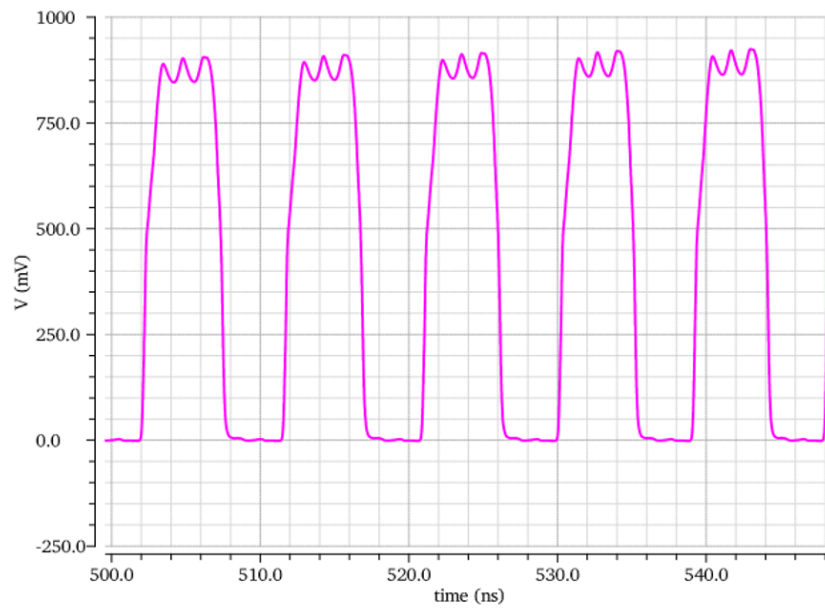


Fig. 3.4. Señal de salida de una de las fases del oscilador en anillo.

inversores y se observa que la fase siguiente es la inversa de la anterior.

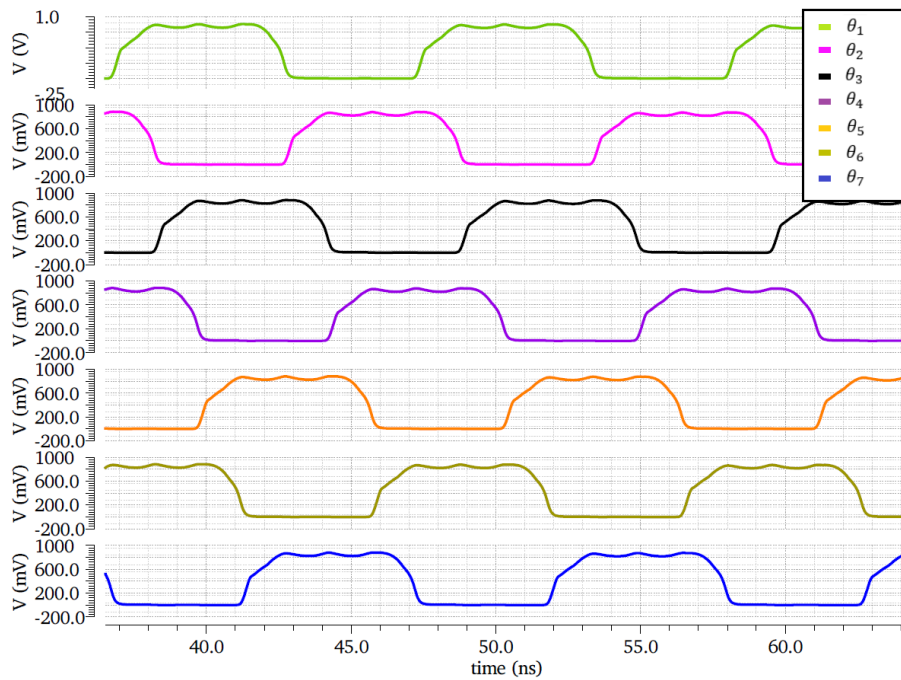


Fig. 3.5. Salidas de las fases del VCO.

Modelo ideal del convertidor convencional en Simulink

El modelo de Simulink se diseña con una entrada senoidal a una frecuencia f_x , con amplitud igual a 1, siguiendo la expresión del Estado del Arte (2.1). Seguidamente, se

CAPÍTULO 3. 3.1. DESARROLLO DE LA IDEA

coloca un sistema que actúa como un VCO, en cascada con otro sistema que actúa como demodulador de la señal al que entra la frecuencia de muestreo, f_s o $1/T_s$, la frecuencia de reloj. En la figura 3.6 se muestra esta descripción.

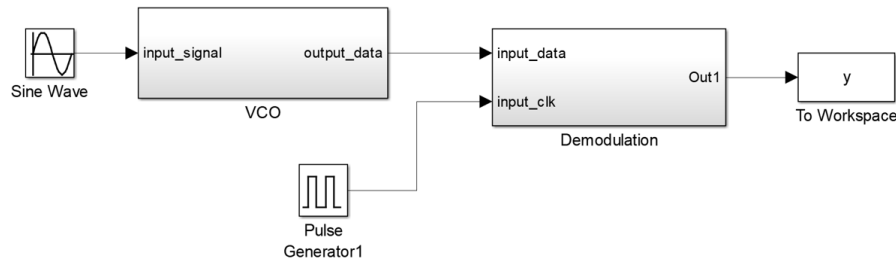


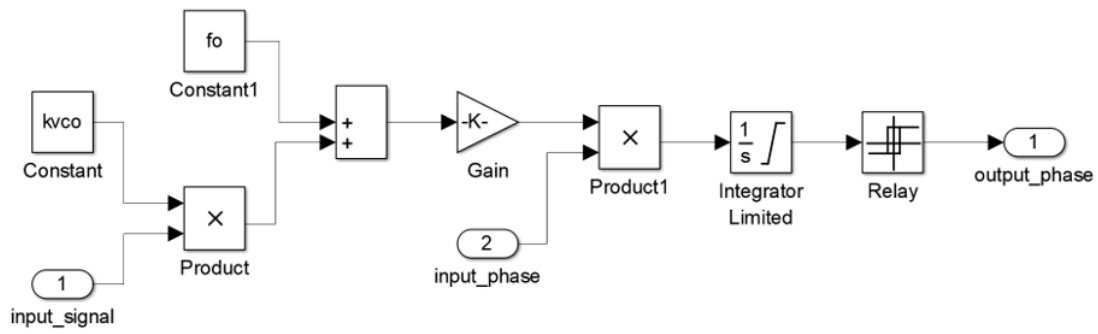
Fig. 3.6. Convertidor VCO-ADC convencional en bloques de Simulink.

Este circuito se diseña a partir del desarrollo teórico expuesto en el capítulo anterior y con apoyo en artículos publicados con esta configuración. Como se ha comentado en la descripción teórica del VCO, éste actúa como cuantificador de la señal y como un integrador de la fase, además es diseñado mediante inversores CMOS (en el caso de la implementación en circuito). En la figura 3.7.(a) se muestra una de las etapas del VCO diseñado mediante bloques de Simulink. Este VCO consta de 7 etapas en serie idénticas, por lo que este diseño se repite el número de fases y se diseña mediante un integrador de la fase. Para el correcto funcionamiento del modelo, se establecen dos constantes que equivalen a la ganancia del VCO, K_{VCO} , y la frecuencia central de oscilación, f_0 .

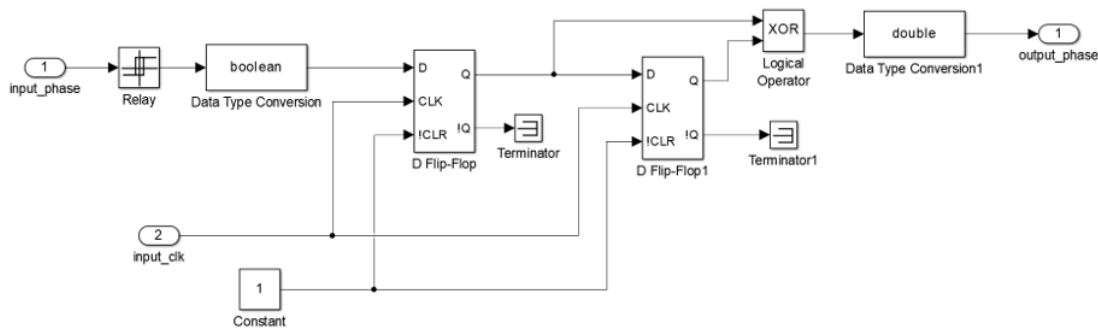
Los datos que se obtienen de cada una de las etapas del VCO siguen el flujo de datos por la siguiente etapa de demodulación de la señal. Cada una de las fases del oscilador en anillo es muestreada mediante dos *flip-flop* tipo D en serie utilizando la frecuencia de muestreo, $1/T_s$, como reloj. El *flip-flop* tipo D captura el valor de su entrada, D , y lo copia en la salida, Q , en cada flanco ascendente del reloj. Posteriormente se aplica la primera diferencia de estas dos muestras mediante una puerta XOR. Este proceso se realiza con el fin de obtener los flancos (tanto de subida, como de bajada) de la señal de salida de cada una de las fases del VCO. En la figura 3.7.(b) se observa este sistema de demodulación. Los bloques complementarios que se implementan en esta figura sirven para la conversión de datos internos del programa y no influyen sobre el funcionamiento del convertidor.

Se observa en esta figura 3.7.(b) que la puerta XOR realiza la primera diferencia entre la primera muestra y la segunda muestra de una de las fases de la señal de salida del VCO,

DISEÑO DE UN CONVERTIDOR A/D BASADO EN OSCILADOR EN ANILLO EN TECNOLOGÍA CMOS 0,18 μm



(a)



(b)

Fig. 3.7. Subsistemas de la figura 3.6. (a) Subsistema VCO de 7 etapas en bloques de Simulink, (b) Demodulador de una de las fases de salida del VCO en Simulink.

que es donde se encuentra modulada la información de la señal analógica de entrada. Este subsistema de muestreo se replica para cada una de las fases del VCO. Para aumentar la resolución del convertidor se combinan las salidas de cada una de las fases en una única señal multibit.

Siguiendo las ecuaciones del apartado 2.3. y 2.4. la frecuencia de oscilación del VCO se comporta siguiendo la ecuación (2.22). En la figura 3.8 se muestra el comportamiento de este convertidor. Para mostrar el resultado obtenido, se muestra el espectro de la potencia de la señal de salida en frecuencia, como se observa en la figura 3.8.(a). El eje x corresponde a la frecuencia de la señal en escala logarítmica, mientras que el eje y corresponde a la magnitud normalizada. Debido a que se normaliza la señal de salida, la magnitud del tono de salida es de 0 dBfs. Los parámetros utilizados para la simulación son una entrada senoidal a una frecuencia de $f_{BW}/5 = 1,66 \text{ MHz}$, una ganancia del VCO de $K_{vco} = 30$

CAPÍTULO 3. 3.1. DESARROLLO DE LA IDEA

MHz, una frecuencia central de oscilación del VCO de $f_{osc} = 100$ MHz y una frecuencia de muestreo de $f_s = 500$ MHz. El ancho de banda se establece a $f_{BW} = f_s/2/OSR = 8,33$ MHz, con $OSR = 30$. En la tabla 3.1 se muestran estos datos agrupados.

Datos del convertidor	
f_{BW}	1.66 MHz
K_{vco}	30 MHz
f_{osc}	100 MHz
f_s	500 MHz
OSR	30

TABLA 3.1. DATOS DEL CONVERTIDOR PARA EL MODELO DE SIMULINK.

El SNDR obtenido equivale a 44 dB (7 ENOB¹³). En la tabla 3.2 se muestran los resultados obtenidos de forma resumida. Este SNDR se obtiene mediante la ecuación (2.6) descrita en el Estado del Arte que expresa lo siguiente:

$$SNDR_{max} = 10 \log \frac{P_s}{P_e}. \quad (3.2)$$

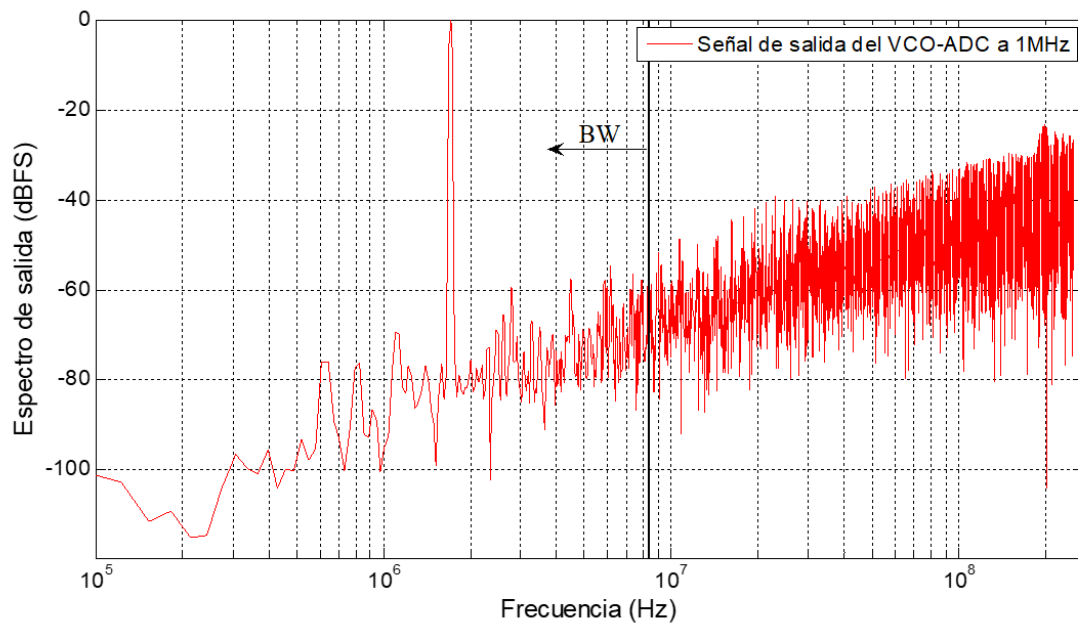
La expresión para obtener los ENOBs a partir del SNDR se muestra a continuación en (3.3):

$$ENOB = \frac{SNDR - 1,76}{6,02}, \quad (3.3)$$

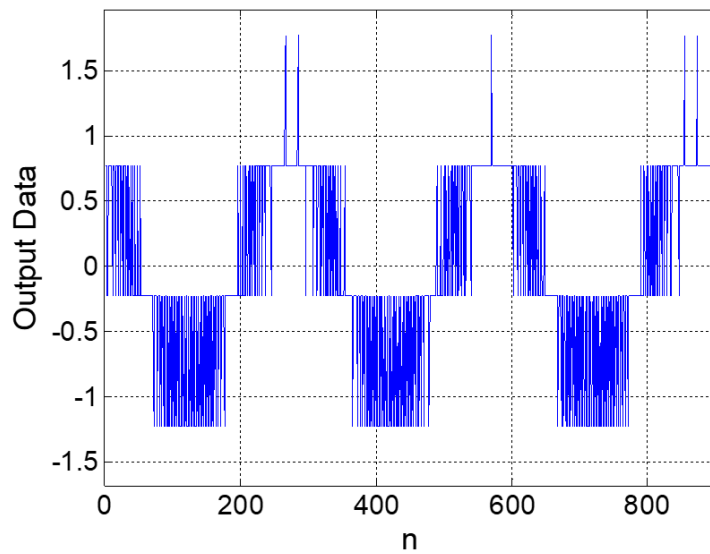
siendo P_s la potencia del tono de entrada y P_e la potencia del ruido de cuantificación. En este caso no hay distorsión debido a que el VCO y los demás componentes son ideales y no son fuentes de ruido. Por lo tanto, el SNDR y SNR son equivalentes para esta simulación. Este valor obtenido de SNDR es un resultado insuficiente para cumplir con los requisitos actuales de las aplicaciones en comunicaciones [34], debido a que es un valor escaso para satisfacer las condiciones que se requieren en las comunicaciones vigentes.

Observando la figura 3.8.(a), la pendiente de la potencia del ruido de la señal mostrada es de 20 dB/dec, lo que equivale a un conformado espectral de ruido de primer orden. Los

¹³Número efectivo de bits (*Effective Number of Bits*).



(a)



(b)

Fig. 3.8. Comportamiento de la salida del VCO-ADC básico. (a) Espectro de salida, (b) datos de salida.

datos obtenidos a la salida del convertidor se expresan en función del tiempo en la figura 3.8.(b). Estos datos representan la señal de salida $y[n]$ de la figura 3.1. Gracias a esta figura se puede obtener una mejor visualización de los datos de salida, sin embargo, resulta más conveniente estudiar el espectro de potencia de salida en frecuencia. Para hallar el

CAPÍTULO 3. 3.1. DESARROLLO DE LA IDEA

espectro de la potencia de salida se realiza la transformada discreta de Fourier (*DFT*)¹⁴ [45] a la señal de salida del convertidor, previamente habiendo aplicado una ventana de Han¹⁵ [26] a esta señal. Se observa cómo la señal recupera la frecuencia de entrada, ya que el tono de salida se encuentra en la frecuencia de entrada, como se observa en la figura 3.8.(a). Para obtener el SNDR se utiliza la ecuación que se ha mostrado anteriormente, aproximadamente se puede calcular matemáticamente mediante la siguiente expresión equivalente obtenida de [35]:

$$SNDR = 6,02 \log_2 \frac{4MK_{VCO}}{f_s} - 3,41 + 30 \log_{10} \frac{f_s}{2BW} + 20 \log_{10} \text{sinc} \frac{f_s}{2BW}, \quad (3.4)$$

donde M es el número de etapas del oscilador en anillo y f_s la frecuencia de muestreo del convertidor. Aplicando esta expresión (3.4) a la arquitectura convencional se obtiene un SNDR máximo de 46 dB. Como se observa en la expresión, un factor limitante para este valor es la ganancia del VCO, K_{VCO} . Para un valor máximo de ésta, la única manera de mejorar el SNDR es aumentar la frecuencia de muestreo, f_s , o aumentar el número de fases del oscilador, pero implicaría cambiar la interfaz digital de salida. Sin embargo, esta frecuencia está restringida a unos pocos GHz [17] por la frecuencia de reloj. Debido a estas limitaciones, se propone una nueva arquitectura para un convertidor en este trabajo.

No obstante, antes de presentar la nueva arquitectura, se diseña la arquitectura VCO-ADC convencional a nivel de circuito, es decir, con componentes realizados en VerilogA y en transistor.

¹⁴En MATLAB se utiliza la función FFT (*Fast Fourier transform*) [50] para obtener la señal en el dominio de la frecuencia, que en un inicio se encuentra en el dominio del tiempo. Suponiendo que se tiene una señal definida en N puntos de muestreo, la función FFT es más efectiva cuando N es potencia de 2. Siguiendo [52], el espectro de la potencia queda definido uniformemente en $N/2 + 1$ puntos de frecuencia entre 0 y la frecuencia de Nyquist, $f_s/2$. Por lo tanto, cada bin de frecuencia tiene un ancho de f_s/N . En realidad, los espectros de potencia son funciones continuas de señales continuas. La discretización provoca dos problemas que son el *spectral leakage* y la incertidumbre.

¹⁵En el caso de que la señal no recaiga sobre el centro de un bin de frecuencia, surgirá *leakage*. Esto significa que, en vez de un pico en la frecuencia del tono, éste se propagará entorno a los bins adyacentes. Esto se debe a que solo se puede aplicar la FFT a datos infinitos. Este problema puede ser aliviado mediante una función ventana multiplicada por la señal. Varios ejemplos de ventanas se listan en [26], en este trabajo se utiliza la ventana de Hann.

VCO-ADC convencional en Simulink	
SNR	44 dB
ENOB	7 bits

TABLA 3.2. TABLA DE LOS RESULTADOS OBTENIDOS PARA EL
VCO-ADC CONVENCIONAL EN SIMULINK.

Convertidor convencional a nivel de circuito diseñado con bloques de VerilogA

Esta arquitectura se diseña a nivel de circuito en el software Virtuoso Cadence. Para implementar el VCO se regresa a la implementación mediante inversores, mostrada en la figura 2.15. Para demodular la señal de salida del VCO se utilizan dos *flip-flop D* y una puerta XOR para realizar la primera diferencia, al igual que el modelo de Simulink (figura 3.7) y mostrado en la figura 3.2. Estos bloques se diseñan en VerilogA y posteriormente en transistor. Aun así, los inversores del VCO son diseñados a nivel de transistor para ambas simulaciones y para todo el proyecto.

Se conoce que la señal de entrada (figura 3.11) es proporcional a la tensión y a la corriente de alimentación del VCO. Como se observa en la figura 3.4, la señal de salida del VCO no alcanza el nivel de la tensión de alimentación, 1,8 V, por lo que se necesita un circuito *level shifter*, que actúa como un amplificador, para poder elevar la señal hasta el rango máximo de alimentación. Este *level shifter* se coloca entre la salida del VCO y la etapa de demodulación digital. La señal de salida, junto con la señal de entrada de este *level shifter* se muestran en la figura 3.9. En esta figura se observa como la señal morada, que corresponde con la salida del *level shifter*, es totalmente digital, ya que alcanza la tensión de alimentación y masa, mientras que la salida del VCO, que corresponde con la señal verde, no es totalmente digital y sufre fenómenos de *ringing*. Además, debido a la configuración de los transistores del *level shifter*, la salida está invertida con respecto a la entrada (el circuito en transistor se muestra en la sección 3.2.).

Como se ha comentado, esta señal de salida del *level shifter* es muestreada mediante dos *flip-flops* y seguidamente se realiza la primera diferencia. Esta operación se muestra en la figura 3.10, en donde las dos señales superiores son las salidas de los *flip-flops* y la señal inferior es la señal de salida de la puerta XOR, después de realizar la diferencia.

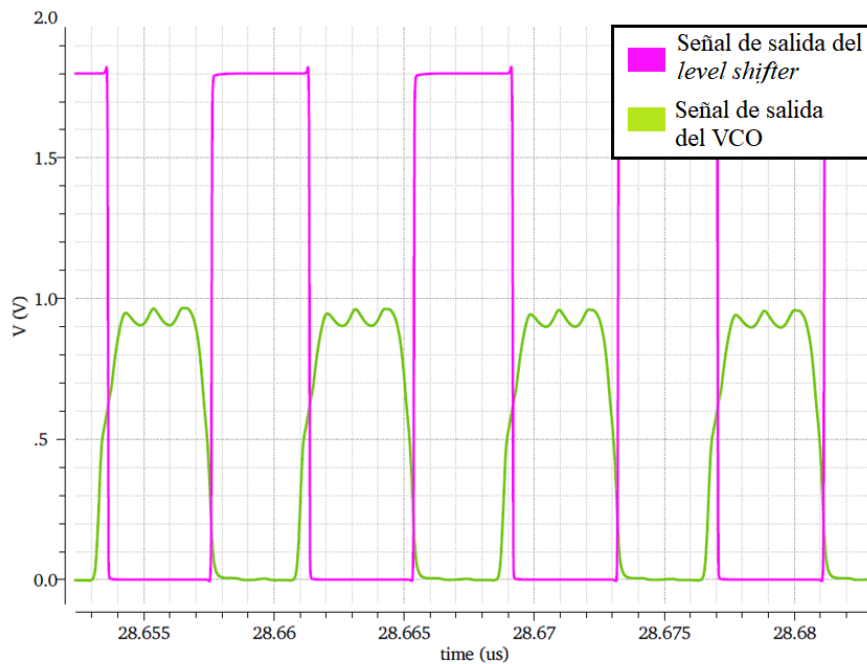


Fig. 3.9. Salida de una de las fases del VCO (verde) y señal después del level shifter (morado).

Se observa en la figura 3.10, que la salida de la puerta XOR es ‘1’ (tensión igual a 1.8 V) cuando las señales no coinciden en el valor. La combinación de las diferentes señales de salida de todas las fases en una única señal multibit se convierte en la señal de salida del convertidor A/D.

Esta arquitectura se presenta en simulación con una señal de entrada V_{in} sinusoidal pura a 1 MHz de frecuencia de oscilación, con una amplitud de 100 mV y con una tensión en DC de 900 mV, como se observa en la figura 3.11 y siguiendo la expresión (2.1). Al ser una entrada senoidal permite cumplir las ecuaciones descritas en el Estado del Arte. La corriente de entrada al VCO tiene una corriente media de aproximadamente $11.5 \mu A$, y es una onda senoidal proporcional a la señal de entrada. Esta corriente se observa en la figura 3.12 junto con la señal de entrada.

El comportamiento del convertidor VCO-ADC en simulación, una vez diseñado en Virtuoso Cadence, se muestra en la figura 3.13 para bloques de demodulación (*flip-flop* y XOR) realizados en VerilogA. Los datos de la señal de salida de varios bits, obtenidos una vez simulado el circuito, se muestran en la figura 3.13.(b) equivalente a la señal $y[n]$ de la figura 3.1.

En la figura 3.13.(a), se observa el espectro en frecuencia de la salida de este convertidor

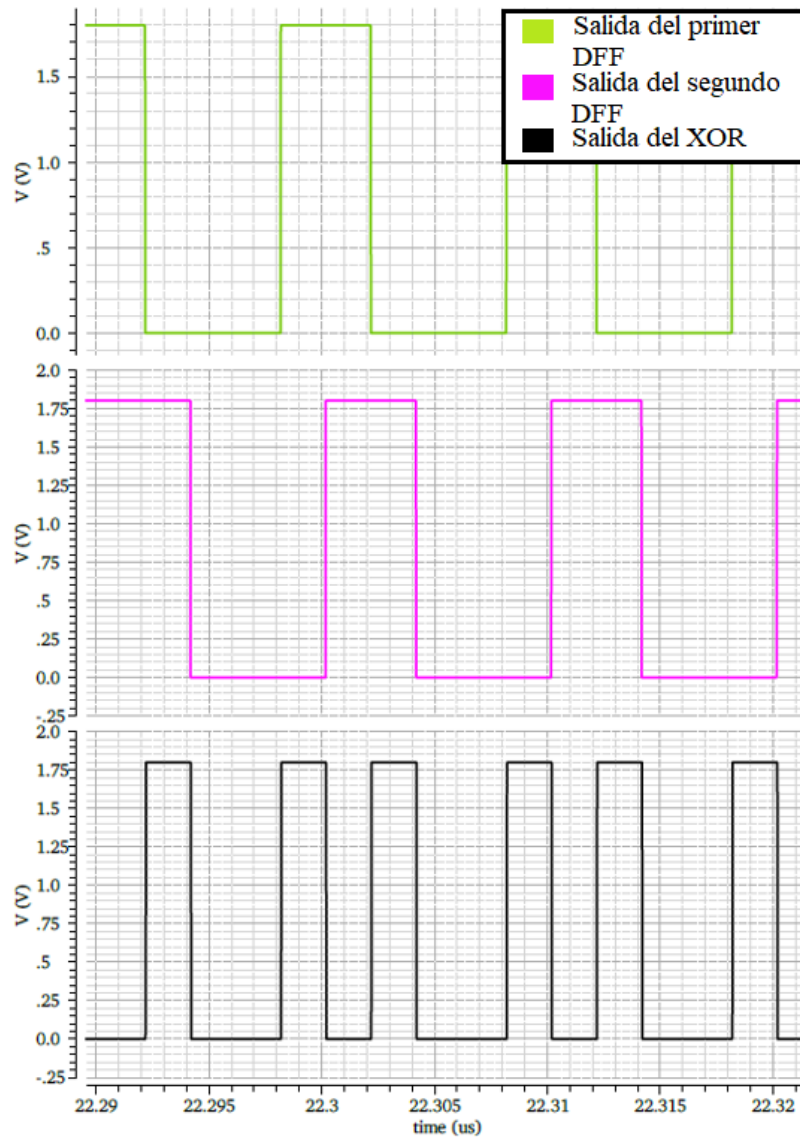


Fig. 3.10. Señales de salida de los dos flip-flop y la puerta XOR, proceso operación de la primera diferencia.

diseñado a nivel de circuito. El tono de la señal de salida se sitúa en la frecuencia de entrada, 1 MHz¹⁶, lo que indica la capacidad del convertidor de recuperar la señal de entrada. Además, se realiza un conformado espectral de ruido de primer orden al igual que en la simulación con Simulink, al analizar la pendiente creciente del ruido de 20 dB/dec.

¹⁶Debido a que se trabaja con un número entero de puntos, en este caso 2^{14} puntos, la señal de entrada no se sitúa exactamente a 1 MHz, sino que cae sobre uno de los *bins* de frecuencia, como se ha explicado anteriormente. Este bin se calcula redondeando la siguiente expresión: $(f_{\text{tone}} \cdot 2^{14} / f_s) + 1$, y la frecuencia a la que se debe situar la entrada o a la que se sitúa este bin es $f_{\text{bin}} = \text{bin} \cdot f_s / 2^{14}$. Por lo tanto, la frecuencia de entrada para 1 MHz es realmente 1.007080078 MHz.

CAPÍTULO 3. 3.1. DESARROLLO DE LA IDEA

Debido a la no linealidad del oscilador en anillo, como se describe brevemente al final de la sección 2.4. [25], aparecen armónicos de la frecuencia principal en múltiplos enteros de ésta¹⁷. Se observa cómo a medida que el múltiplo del armónico aumenta, su módulo disminuye.

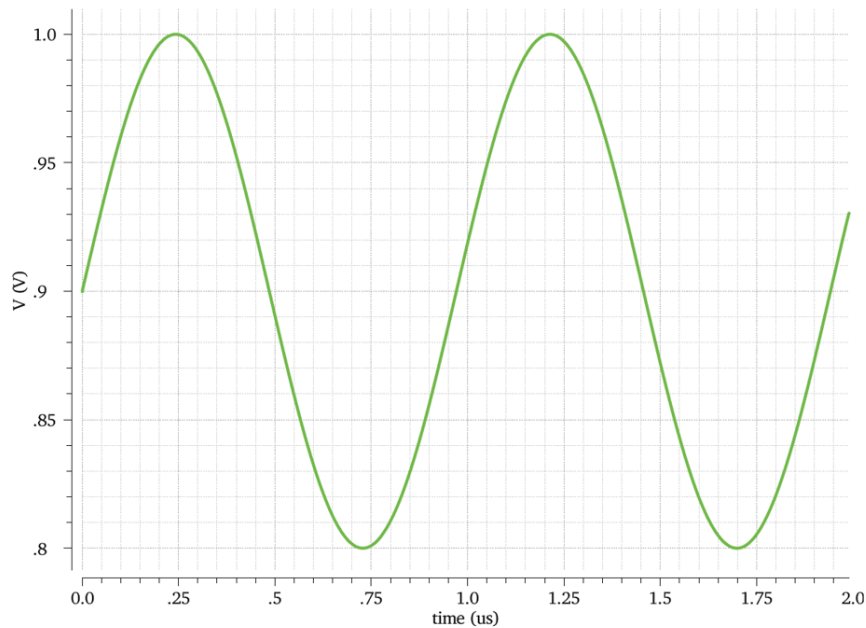


Fig. 3.11. Señal de entrada al convertidor VCO-ADC con frecuencia igual a 1 MHz, centrada en 0.9 V y con amplitud de 0.1 V.

Al ser un circuito *single-ended* (con una sola salida) los armónicos pares no son eliminados. Sin embargo, se pueden reducir considerablemente su módulo haciendo un circuito diferencial de esta configuración. Posteriormente en este trabajo se realiza esta arquitectura en configuración diferencial.

Con el mismo ancho de banda ($f_{BW} = 8,33$ MHz) se obtienen los siguientes resultados para el caso propuesto: un $SNDR_{max}$ ideal de 45.9 dB (aplicando la expresión (3.4)), mientras que en simulación se obtiene un SNDR de 34.8 dB, un SNR de 41.8 y 5.5 ENOB. Se debe tener en cuenta, que al calcular la SNDR, los armónicos disminuyen notablemente el valor obtenido (de 41.8 a 34.8) debido a que es la distorsión de la señal, mientras que al calcular la SNR se eliminan los armónicos del cálculo. En la tabla 3.3 se muestran estos resultados obtenidos de forma resumida.

¹⁷Para una entrada a 1MHz aparecen armónicos a 2 MHz, 3 MHz, 4 MHz...

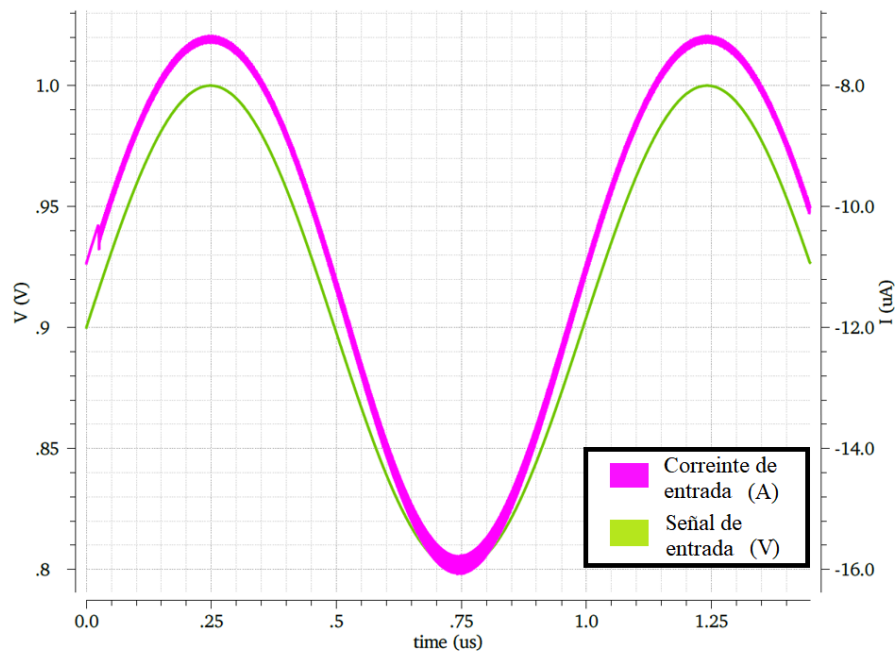


Fig. 3.12. Corriente de entrada al VCO (en morado) junto con la señal de entrada al VCO-ADC (en verde).

VCO-ADC convencional a nivel de circuito en VerilogA	
SNR	41.8 dB
SNDR	34.8 dB
ENOB	5.5 bits

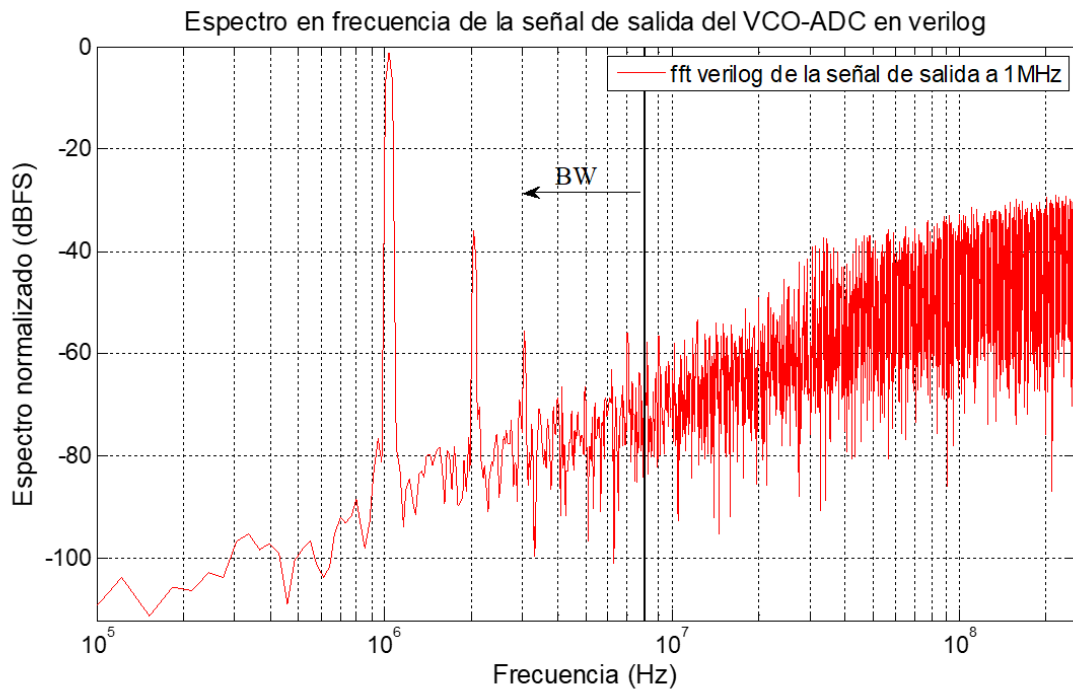
TABLA 3.3. TABLA DE LOS RESULTADOS OBTENIDOS PARA EL
VCO-ADC CONVENCIONAL A NIVEL DE CIRCUITO EN
VERILOGA.

Convertidor convencional a nivel de transistor

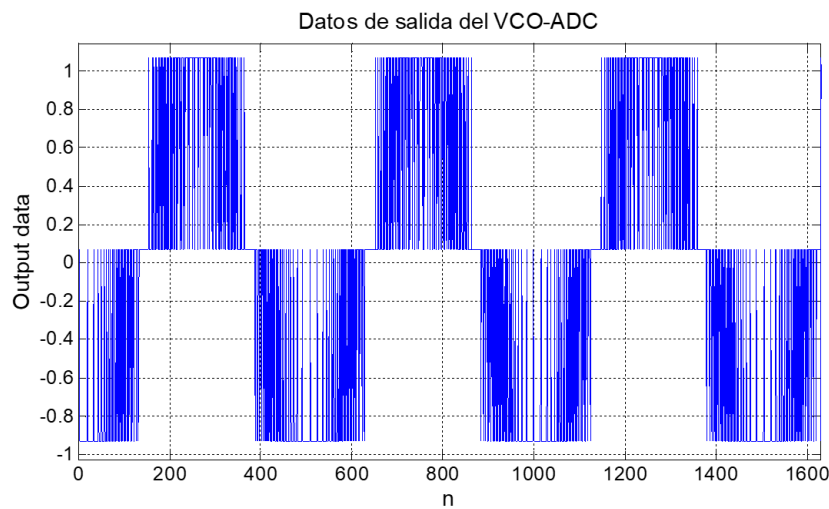
Los circuitos que antes se han realizado en VerilogA se sustituyen por circuitos en transistor. Todos los circuitos realizados en transistor se enseñan posteriormente en la sección 3.2.

En la figura 3.14, se muestra el espectro de la potencia de salida del VCO-ADC para el caso del circuito realizado mediante transistores en su totalidad. Los resultados en simulación son similares al caso de utilizar VerilogA. El SNDR, el SNR y el ENOB obtenidos no varían con respecto a la simulación anterior realizada con bloques de VerligA, debido

CAPÍTULO 3. 3.1. DESARROLLO DE LA IDEA



(a)



(b)

Fig. 3.13. Salida del VCO-ADC a nivel de circuito en VerilogA: (a) Espectro en frecuencia de la señal de salida del VCO-ADC para 1 MHz con demodulación en VerilogA. (b) Datos de salida del VCO-ADC.

a que la implementación de los circuitos digitales solo se realiza para la demodulación de la señal, que no es propensa a ruido ni distorsión. Estos resultados se muestran en la tabla 3.4.

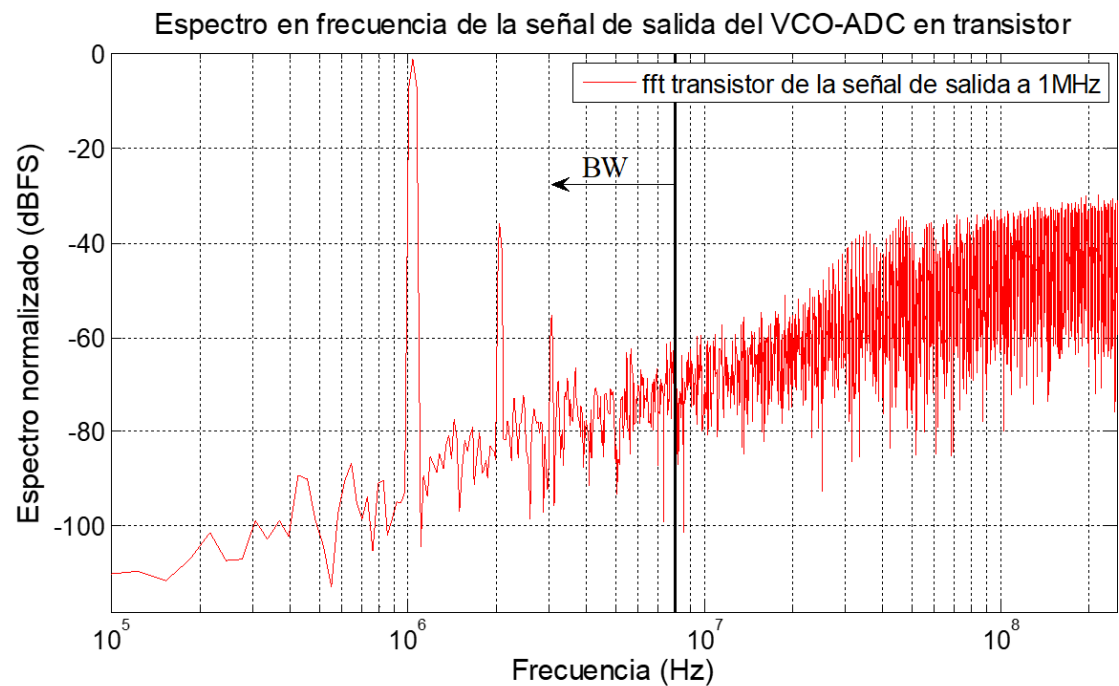


Fig. 3.14. Espectro en frecuencia de la señal de salida del VCO-ADC para 1 MHz con demodulación en transistor.

VCO-ADC convencional a nivel de transistor	
SNR	41.7 dB
SNDR	34.6 dB
ENOB	5.4 bits

TABLA 3.4. TABLA DE LOS RESULTADOS OBTENIDOS PARA EL
VCO-ADC CONVENCIONAL A NIVEL DE TRANSISTOR.

Convertidor convencional en configuración diferencial

Para obtener un mejor SNDR se utiliza una configuración diferencial. Varios ADC de diferentes arquitecturas se presentan con esta configuración diferencial [54] [39] [48]. Un circuito completamente diferencial es aquel que tiene dos entradas y dos salidas (una positiva, 'p' y otra negativa, 'n') con el mismo módulo, pero desfasadas π radianes. Esta configuración permite atenuar considerablemente los armónicos pares. Si se expande la salida de un circuito general en series de potencias (una manera habitual de cuantificar la

CAPÍTULO 3. 3.1. DESARROLLO DE LA IDEA

distorsión de una señal) se puede obtener lo siguiente:

$$V_{OUT+} = k_1 V_{in} + k_2 V_{in}^2 + k_3 V_{in}^3 + \dots, \quad (3.5)$$

$$V_{OUT-} = k_1(-V_{in}) + k_2(V_{in}^2) + k_3(-V_{in}^3) + \dots, \quad (3.6)$$

$$V_{OUT} = 2k_1 V_{in} + 2k_3 V_{in}^3 + \dots, \quad (3.7)$$

donde k_1 , k_2 y k_3 son constantes. Se observa que los términos cuadráticos (que corresponden al segundo armónico) son eliminados, mientras que los términos al cubo (que corresponden al tercer armónico) permanecen.

Para poder realizar un ADC basado en un oscilador en anillo diferencial se utiliza un transconductor como etapa de alimentación del VCO. Este transconductor recibe dos señales de igual módulo, pero desfasadas π radianes, como se ha indicado anteriormente. Este circuito se encarga de transformar esta tensión de entrada en una corriente de salida proporcional a la entrada. Cada una de estas señales transcurren por el VCO-ADC por separado y después son restadas para eliminar los armónicos pares, al igual que se hace a partir de (3.5). Una representación de este nuevo convertidor se muestra en la figura 3.15:

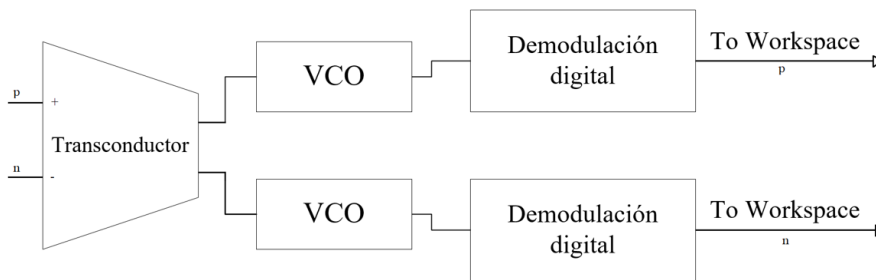


Fig. 3.15. Diagrama de bloques de un VCO-ADC totalmente diferencial.

Esta configuración se diseña copiando la arquitectura anterior, por lo que no es necesario realizar los diseños de los componentes diferenciales. Después de simular la configuración mediante Virtuoso Cadence, el espectro de frecuencia de potencia de salida se muestra en la figura 3.16. En esta figura se observa cómo el segundo armónico, que se observa en las figuras 3.13.(a) y 3.14, se elimina, gracias a aplicar la resta entre (3.5) y

(3.6). Con esta configuración se obtiene un SNDR de 45 dB y un SNR de 48 dB, por lo que aún se puede obtener una mejora si se elimina el tercer armónico, y un ENOB de 7 bits. Como se observa en la expresión (3.7), la tensión del tono se multiplica por dos y esto permite obtener una mayor resolución. En la tabla 3.5 se muestran estos resultados.

Una vez analizada la arquitectura VCO-ADC básica y conocido sus especificaciones y sus limitaciones, se puede proseguir con la descripción de la alternativa propuesta.

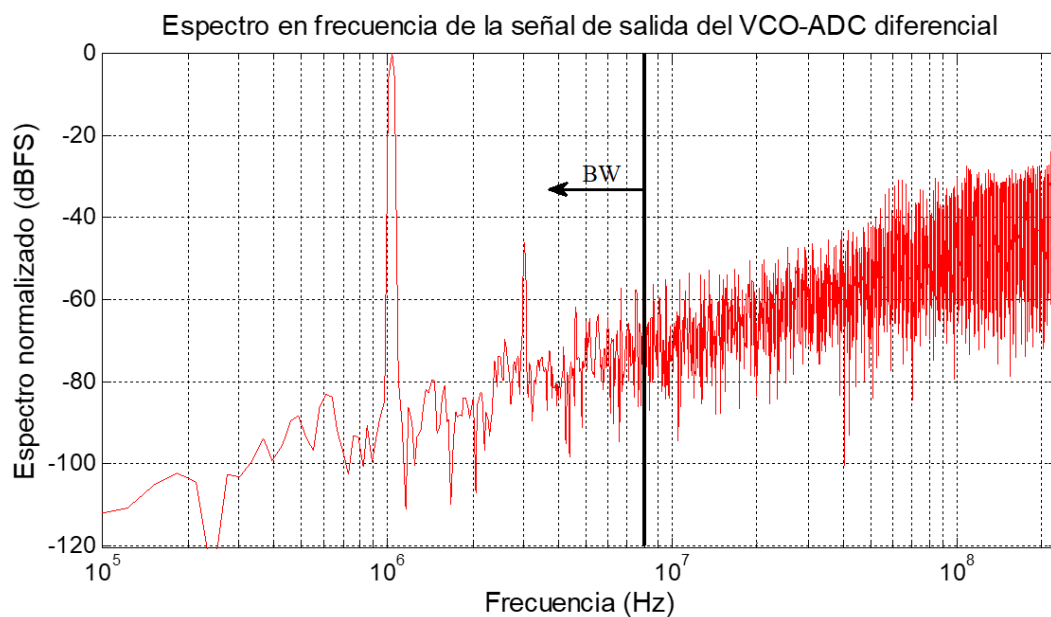


Fig. 3.16. Espectro en frecuencia de la señal de salida del VCO-ADC en configuración diferencial para 1 MHz.

VCO-ADC convencional diferencial	
SNR	48 dB
SNDR	45 dB
ENOB	7 bits

TABLA 3.5. TABLA DE LOS RESULTADOS OBTENIDOS PARA EL VCO-ADC CONVENCIONAL DIFERENCIAL.

3.1.2. VCO-ADC con frecuencia de muestreo incrementada

En esta sección se describe una alternativa a la arquitectura convencional de un VCO-ADC. Como se ha explicado brevemente anteriormente, esta arquitectura permite mejorar la resolución del convertidor sin aumentar el orden de muestreo. Esta mejora se ha obtenido mediante el incremento de la frecuencia de muestreo efectiva sin aumentar la frecuencia de reloj. Estas mejoras se realizan aumentando mínimamente el área, el consumo y el coste del convertidor, ya que los cambios son realizados mediante circuitos digitales, lo que permite una buena adaptación con las tecnologías de fabricación y gran escalabilidad. Esta propuesta se describe en su totalidad a continuación.

La sección anterior se concluye comprobando que la arquitectura convencional no obtiene unos resultados de resolución suficientes para cumplir con los requisitos de los nuevos protocolos de comunicación. Por consiguiente, se requiere de nuevos sistemas capaces de aumentar el ancho de banda de este tipo de arquitecturas, manteniendo resoluciones medias (o por lo contrario, aumentar la resolución manteniendo un mismo ancho de banda). Una de las posibles mejoras que plantean los diseñadores, es utilizar la técnica de *time interleaved* [7]. Varios intentos de diseñar un convertidor con *time interleaved* basados en un VCO se proponen en [59] y [53]. Asimismo, previamente se ha realizado este tipo de técnica en convertidores Nyquist [21] [23].

En el caso de este trabajo, a diferencia de los convertidores publicados, se propone un convertidor con un solo VCO con *time interleaved* para aumentar la resolución del convertidor. Este *time interleaved* se basa en retrasar las fases del VCO mediante una cadena de retrasos digital. En el dominio de Laplace, el modelo continuo de un retraso se expresa mediante la ecuación (3.8), siendo T_d el tiempo de retraso genérico.

$$\mu_{tot}(s) = e^{-sT_d}. \quad (3.8)$$

Para aumentar la frecuencia efectiva de muestreo, esta cadena de retraso se compone de N etapas, que en total retrasan un periodo entero de reloj, T_s . Por lo tanto, el tiempo de retraso T_d de la expresión (3.8) se reemplaza por el valor T_s , siendo este el valor nominal del retraso de la cadena. Debido a que esta cadena se componen de N etapas, el retraso de cada una de éstas debe de ser T_s/N para alcanzar el valor nominal establecido. La

expresión en el dominio de Laplace de la cadena de retraso queda descrita mediante (3.9), mientras que la expresión (3.10) describe este retraso para una sola etapa:

$$\mu_{tot}(s) = e^{-sT_s}, \quad (3.9)$$

$$\mu_n(s) = e^{-sT_s/N}, \quad (3.10)$$

siendo N el número de retrasos de la cadena, T_s el periodo de muestreo y n un número de 1 a N .

El nuevo modelo en el que se incluye esta cadena de retraso se muestra en la figura 3.17. Este modelo ha sido desarrollado a partir del mostrado en la figura 2.14, en el que se añade esta cadena de retraso a la salida del VCO. Se debe tener en cuenta que el muestreo realizado por el *sampler* y la primera diferencia (*First Order Difference*) se replican para cada una de las salidas de la cadena de retraso.

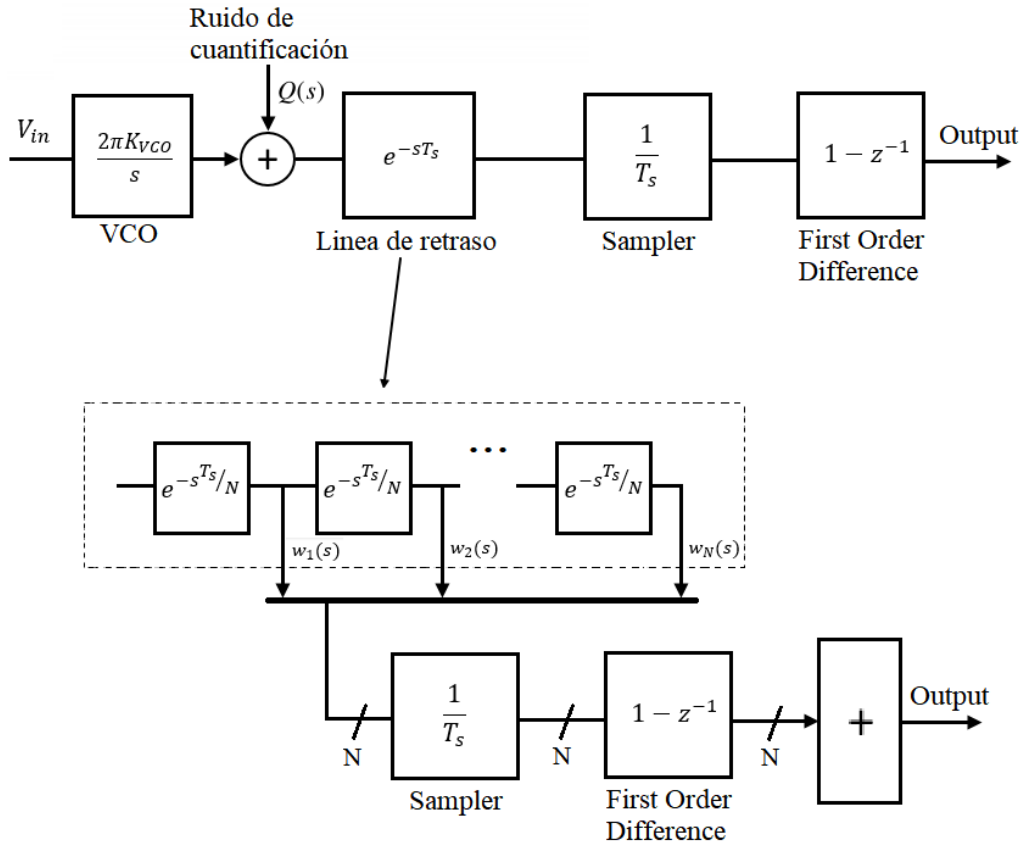


Fig. 3.17. Modelo de linealización en el dominio de la frecuencia de un convertidor ADC Delta-Sigma de primer orden basado en un VCO y una cadena de retraso.

CAPÍTULO 3. 3.1. DESARROLLO DE LA IDEA

Un esquema de esta nueva arquitectura para una de las fases del VCO a nivel de circuito se muestra en la figura 3.19, esta propuesta se desarrolla a partir de la configuración 3.1. La cadena de retraso, compuesto por N retrasos digitales, es conectada a la salida de cada una de las fases del oscilador en anillo. Esta cadena se implementa mediante una línea de buffers conectados en cascada. Para el caso de este trabajo, se implementa con 5 buffers (aunque se puede implementar con mayor número para una mayor resolución) como se muestra en la figura 3.18. Cada una de las señales de salida de los buffers en función del tiempo se observa en la figura 3.21.

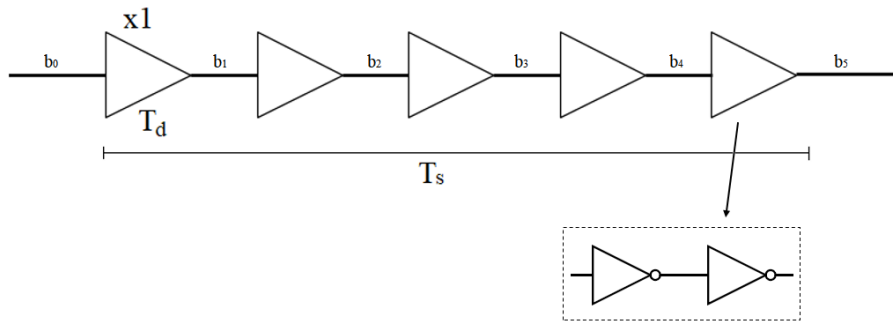


Fig. 3.18. Cadena de retraso implementada con 5 buffers de ganancia unitaria.

Añadir esta cadena a la salida del VCO permite muestrear 5 veces más rápido, debido a que cada una de las salidas de los buffers es registrada mediante la demodulación digital (similar a la configuración del convertidor convencional descrito anteriormente), lo que se muestra en la figura 3.19. Esta cadena de retraso y demodulación se repite para las 7 fases del VCO. En la expresión (3.11) se describe como se combinan las salidas de cada una de las fases del oscilador y las etapas de la cadena de retraso:

$$y_b = \sum_{i=1}^7 y_{ib}, \quad (3.11)$$

siendo y_b una de las cinco salidas del convertidor de datos (cuando b toma un valor del 1 al 5); y_{ib} las señales de salida de la cadena de retraso para cada una de las fases del VCO, correspondientes con la figura 3.19; b un número del 1 al 5 que coincide con una de las salidas de la cadena de retraso y i un número del 1 al 7 correspondiente con una de las fases del VCO.

Una vez obtenidos los cinco datos de salida, estos se ordenan en función del tiempo en el que se toma la muestra. Es decir, se genera una cadena de datos única en la que se completa de la siguiente forma: primero la muestra registrada en y_1 , luego y_2 , hasta y_5 ,

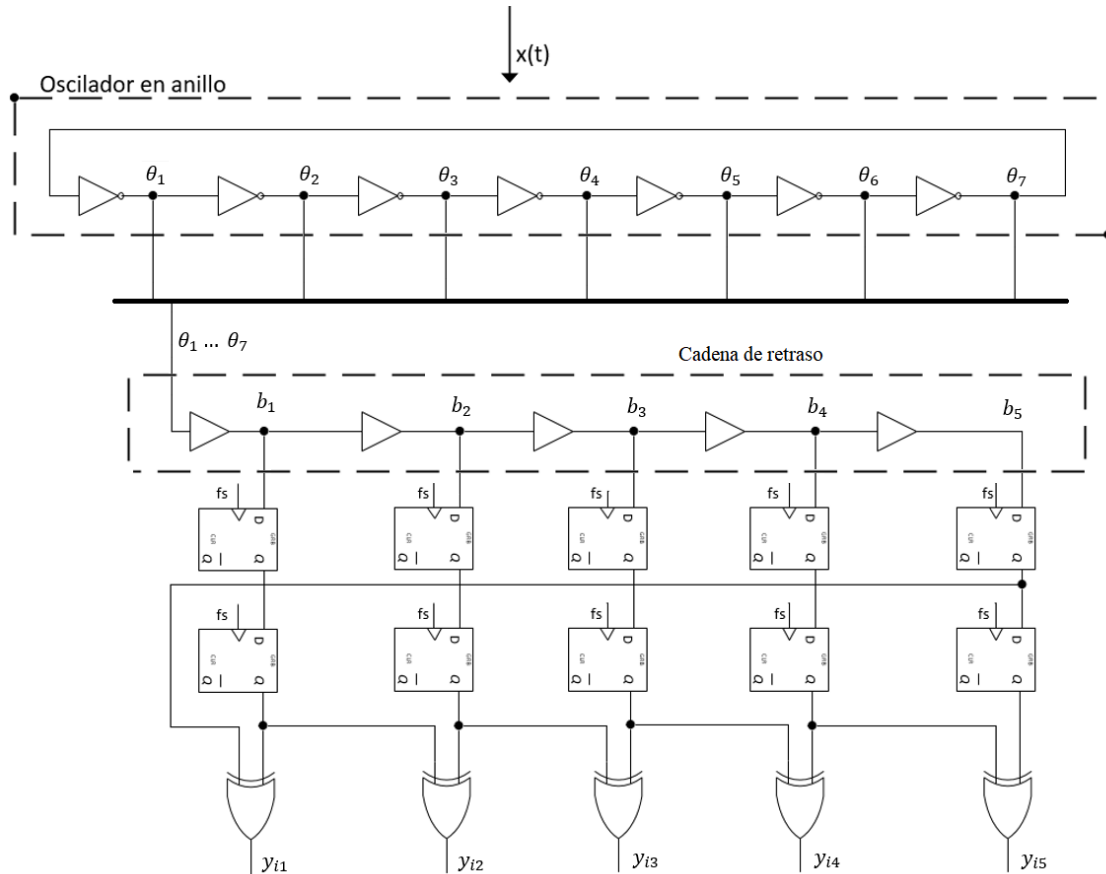


Fig. 3.19. Arquitectura VCO-ADC con cadena de retraso digital para una de las fases de salida del VCO.

luego se vuelve a la muestra siguiente de y_1 para repetir el proceso, siguiendo el mismo orden. Este proceso se realiza mediante MATLAB para obtener los resultados que se muestran a partir de la figura 3.22.

Una de las fases de salida del VCO junto con la señal de reloj se muestra en la figura 3.20. En la señal de la fase del VCO se observan las muestras tomadas para uno de los periodos del reloj (5 por cada periodo de reloj). Este muestreo se repite para cada uno de los periodos. En la arquitectura convencional el muestreo solo se realiza en los flancos ascendentes de reloj.

Se observa cómo la salida de cada buffer, mostradas en la figura 3.21, están retrasadas T_s/N respectivamente (siendo T_s el periodo de muestreo, comentado previamente), que en este caso corresponde a $T_s/N = 400$ ps (para $N = 5$) con una frecuencia de muestreo de 500 MHz. Debido a que se retrasa cada una de las señales, se puede muestrear cada

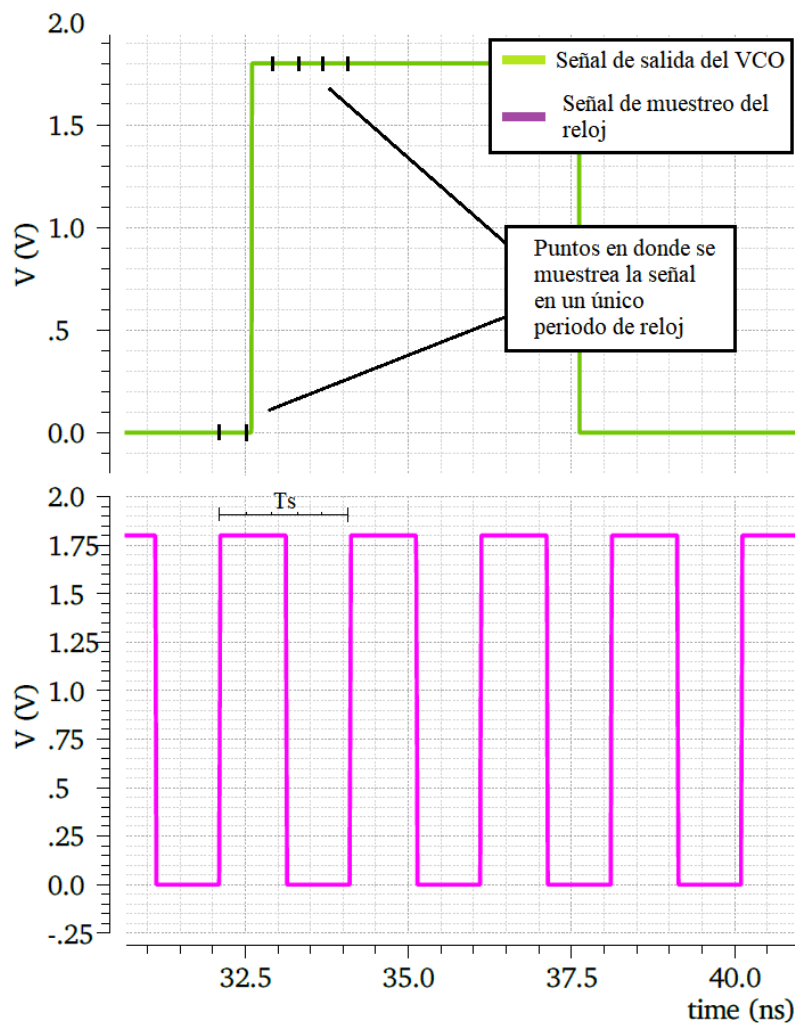


Fig. 3.20. Señal de salida de una de las fases del reloj con los puntos de muestreo vs señal de reloj.

una con el mismo reloj, obteniendo muestras de la señal en 5 puntos diferentes dentro del mismo periodo de muestreo. Este efecto, muestrear con el mismo flanco de reloj la misma señal en 5 puntos diferentes (debido al retraso de las señales), es lo que permite aumentar la frecuencia de muestreo efectiva. Si en esta figura 3.21, se traza una línea vertical que pasa por todas las señales, representando un flanco de reloj, se puede observar cómo pasa por 5 puntos diferentes. Si estos 5 puntos se registran, se pasa a tener 5 muestras cuando anteriormente se tenía una única muestra.

Modelo ideal del convertidor mejorado en Simulink

Antes de diseñar esta arquitectura en circuito, se realiza primero un modelo en Simulink (al igual que se ha hecho con la arquitectura convencional). Desarrollando el modelo a partir del anterior (figura 3.6) se obtiene uno similar que se muestra en la figura 3.22. Se

observa que a diferencia del modelo de la figura 3.6 la salida de este convertidor consta de 5 datos. Estos datos corresponden a los datos ordenados, según la expresión (3.11), de salida del convertidor (cada una de las salidas de los buffers se suma con su equivalente en el resto de las fases del VCO para formar una sola cadena de datos). Además, se modifica el subsistema de demodulación para poder implementar la cadena de retraso. En la figura 3.23 se pueden advertir los cambios realizados. Por otro lado, el subsistema del VCO se mantiene idéntico al utilizado en la arquitectura anterior. Para recordar este modelo se puede recurrir a la figura 3.7.(a), en donde se muestra el VCO implementado en Simulink.

En la figura 3.23 se muestra que la cadena de retraso consta de 5 subsistemas. Cada subsistema se encarga de realizar el retraso de la señal en T_s/N . Este retraso se establece mediante la constante C que se decreta a $1/(T_s/5)$ (nuevamente, siendo T_s el periodo de muestreo). Un bloque de retraso se muestra en la figura 3.24. Como se observa en esta figura, se utiliza un integrador para retrasar la señal, lo que equivale a un buffer de la figura 3.18.

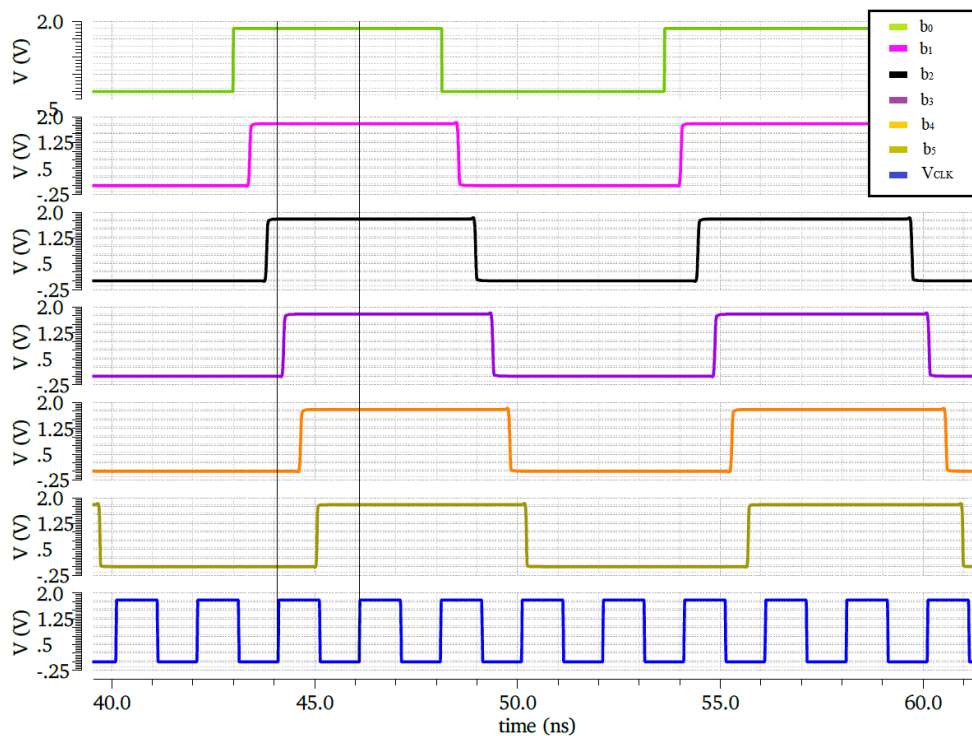


Fig. 3.21. Salida de los buffers de la cadena de retraso junto con la señal de reloj.

Se observa en la figura 3.22 que el convertidor tiene cinco salidas de datos. Como se comenta anteriormente, estas salidas se combinan en una sola mediante la explicación realizada a partir de la expresión (3.11). Los datos de salida se obtienen una vez simu-

CAPÍTULO 3. 3.1. DESARROLLO DE LA IDEA

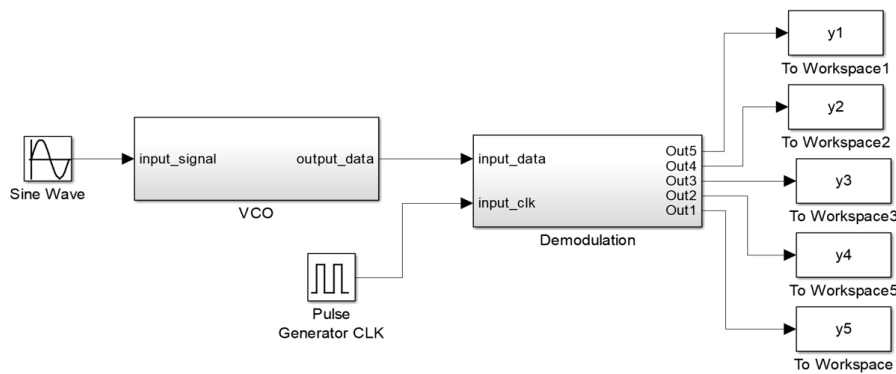


Fig. 3.22. Modelo de bloques en simulink del convertidor VCO-ADC con frecuencia de muestreo mejorada.

lado el modelo completo. Una vez simulado este modelo con una entrada senoidal a una frecuencia de 1,66 MHz ($f_{BW}/5$), con una ganancia del VCO de $K_{VCO} = 30$ MHz, una frecuencia central de oscilación de $f_{osc} = 100$ MHz y una frecuencia de muestreo de $f_s = 500$ MHz·5 (en este caso la frecuencia de muestreo efectiva es 5 veces mayor debido a que se incrementa con la cadena de retraso, aunque la frecuencia de reloj se mantiene constante), se obtiene el espectro de la potencia de salida en frecuencia mostrado en la figura 3.25.

Los datos numéricos que se obtienen a partir de la figura 3.25 para este caso son los siguientes: un SNDR de 57 dB y un ENOB de 9 bits (al igual que el otro modelo de Simulink, el SNR es igual al SNDR debido a que no hay distorsión ya que los bloques son ideales). Esto permite cumplir el objetivo de aumentar la SNDR sin aumentar el orden de conformado espectral de ruido. En la tabla 3.6 se muestran estos resultados.

VCO-ADC mejorado en Simulink	
SNDR	57 dB
ENOB	9 bits

TABLA 3.6. TABLA DE LOS RESULTADOS OBTENIDOS PARA EL VCO-ADC MEJORADO EN SIMULINK.

Convertidor mejorado a nivel de circuito diseñado con bloques de VerilogA

Debido a que el modelo de bloques es correcto, este mismo caso se diseña en Virtuoso Cadence mediante componentes diseñados en VerilogA y en transistor. Se reutilizan los

DISEÑO DE UN CONVERTIDOR A/D BASADO EN OSCILADOR EN ANILLO EN TECNOLOGÍA CMOS 0,18 μm

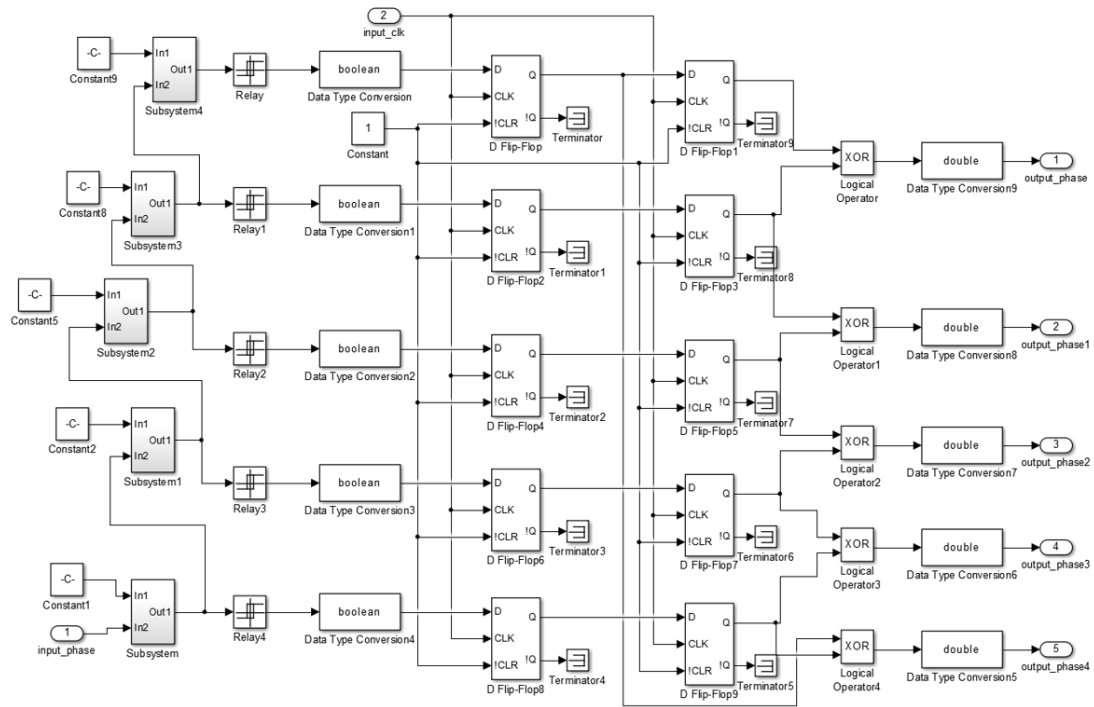


Fig. 3.23. Demodulación de la señal de salida del VCO con la cadena de retraso.

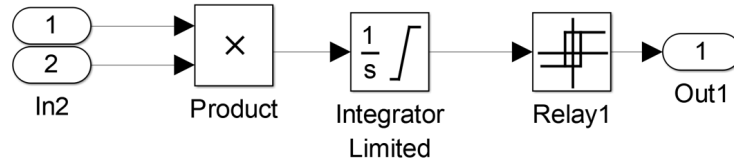


Fig. 3.24. Modelo diseñado en Simulink para aplicar el retraso a la señal.

mismos diseños que en la arquitectura básica y se añade la cadena de retraso realizada con buffers a cada una de las etapas de salida del VCO. Para cumplir con los requisitos teóricos, estos buffers retrasan la señal en T_s/N , en este caso N sigue siendo igual a 5. Al igual que anteriormente, el VCO se realiza completamente con transistores, es decir, los inversores que lo componen se realizan a nivel de transistor.

El diseño de esta arquitectura sigue la estructura de la figura 3.19 y se implementa igual para todas las fases del VCO. Primero se presentan los resultados obtenidos con los componentes implementados en VerilogA. Para este caso se utiliza una entrada senoidal a 1 MHz igual que la mostrada en la figura 3.11. El comportamiento de esta arquitectura después de la simulación se observa en la figura 3.26, en donde se muestra el espectro de potencia de salida del VCO-ADC con frecuencia de muestreo efectiva incrementada.

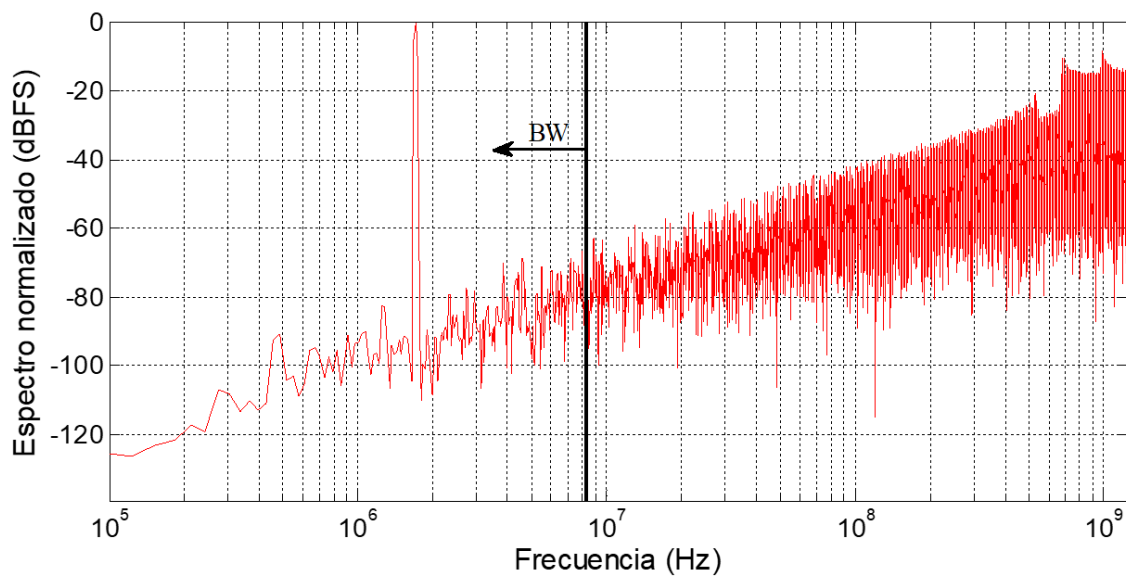


Fig. 3.25. Espectro en frecuencia de la señal de salida del VCO-ADC con frecuencia aumentada en Simulink.

En este espectro, a diferencia del enseñado en la figura 3.25 se observan armónicos de la frecuencia principal. Este efecto es debido, nuevamente, a la no linealidad del VCO. También, se observa en el espectro de la figura 3.26, la modulación de la señal de entrada a frecuencia de 500 MHz y 800 MHz, debido a la modulación de la señal por parte del VCO.

Para este caso se obtiene un SNDR de 45 dB, un SNR de 53 dB y un ENOB de 7 bits, obtenidos a partir de las expresiones (3.2) y (3.3). Se observa que el SNR obtenido es similar al obtenido a partir del modelo de Simulink, esto permite observar que el resultado práctico se asemeja al teórico. Sin embargo, debido a la no linealidad del VCO el SNDR disminuye 8 dB, lo que perjudica notablemente al rendimiento del VCO-ADC. En la tabla 3.7 se muestran los resultados obtenidos de forma resumida.

Convertidor mejorado a nivel de transistor

Continuando el análisis de este convertidor, se realiza el diseño de este a nivel de transistor¹⁸. Los buffers de la cadena de retraso se realizan con inversores (esto se mostrará

¹⁸La parte de demodulación de la señal se sigue manteniendo en VerilogA para optimizar el tiempo de simulación. Esta parte se realizó a nivel de transistor en la arquitectura del VCO-ADC convencional,

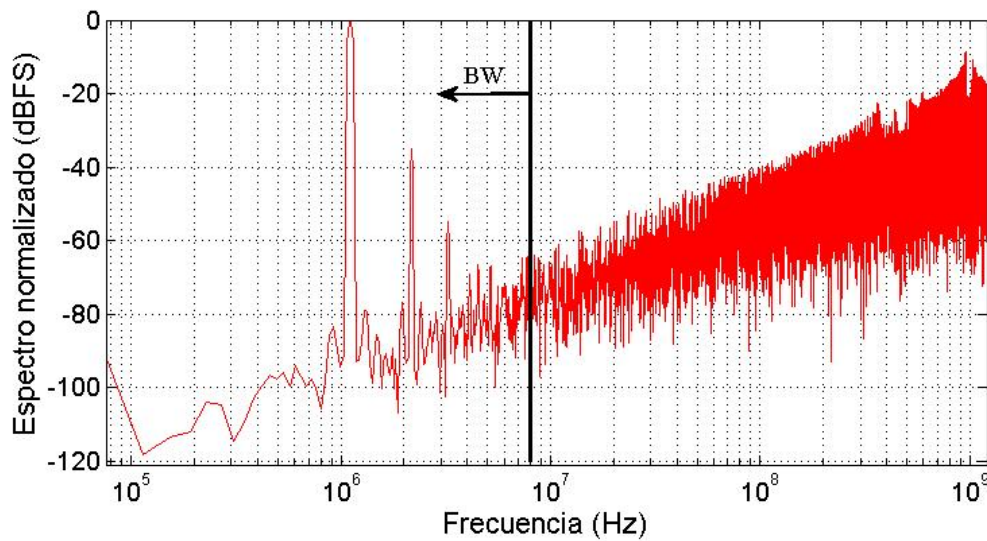


Fig. 3.26. Espectro en frecuencia de la señal de salida del VCO-ADC con frecuencia de muestreo aumentada diseñado a nivel de circuito con bloques en VerilogA.

VCO-ADC mejorado a nivel de circuito en VerilogA	
SNDR	45 dB
SNR	53 dB
ENOB	7 bits

TABLA 3.7. TABLA DE LOS RESULTADOS OBTENIDOS PARA EL
VCO-ADC MEJORADO A NIVEL DE CIRCUITO EN VERILOGA.

en la sección 3.2.) con el retraso correspondiente utilizando condensadores a la salida de cada inversor. La señal de entrada se sigue manteniendo igual que en el circuito anterior, en donde se realiza este convertidor en VerilogA. Una vez simulado este nuevo circuito, se muestran los resultados en la figura 3.27.

El espectro de potencia de la salida del convertidor se muestra en la figura 3.27. Los armónicos siguen actuando, aunque se obtiene un espectro similar al resultante de la misma arquitectura con VerilogA. El rendimiento de esta arquitectura realizada en transistor disminuye aproximadamente entre un 1.8 % y 2.6 % con respecto al mismo convertidor diseñado con componentes en VerilogA. Esto significa que la cadena de retraso realizada con inversores no implica una disminución notable en el rendimiento.

igualmente se mostrará en la siguiente sección.

CAPÍTULO 3. 3.1. DESARROLLO DE LA IDEA

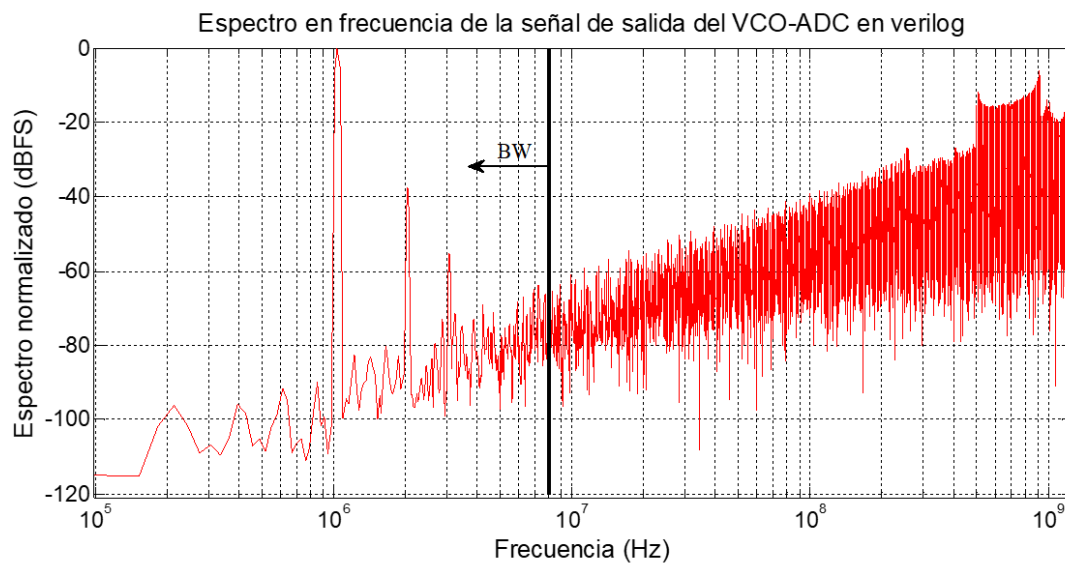


Fig. 3.27. Espectro en frecuencia de la señal de salida del VCO-ADC con frecuencia de muestreo aumentada diseñado a nivel de transistor.

Para este caso se obtiene un SNDR de 37 dB, un SNR de 54 dB y un ENOB de 6 bits, lo se asemeja en cuanto al SNR, sin embargo el SNDR disminuye debido a esta implementación a nivel de transistor. En la tabla 3.8 se muestran estos resultados.

En comparación con la arquitectura básica, se obtiene una mejora de 2 dB en el SNDR, es decir, una mejora del 5.4 %, 12 dB en el SNR, lo que supone una mejora del 22.2 % y 1.5 ENOB de diferencia, que mejora a la arquitectura convencional en 21.4 %. Esta diferencia permite acercarse a los requisitos de los nuevos protocolos de comunicación. Una manera efectiva de aumentar la diferencia entre la señal y el ruido es incrementando el número de buffers que se utilizan, haciendo más efectivo el *Time-Interleaving*.

VCO-ADC mejorado a nivel de transistor	
SNDR	37 dB
SNR	54 dB
ENOB	6 bits

TABLA 3.8. TABLA DE LOS RESULTADOS OBTENIDOS PARA EL VCO-ADC MEJORADO A NIVEL DE TRANSISTOR.

Convertidor mejorado en configuración diferencial

Al igual que la anterior arquitectura, ésta también se realiza en un circuito diferencial. Para este caso se utiliza el mismo transconductor empleado anteriormente. Como se describe mediante (3.7), se pretenden eliminar los armónicos pares del espectro de potencia de salida del convertidor y así obtener un mayor SNDR. Siguiendo el esquema de la figura 3.15 se realiza esta configuración diferencial reutilizando el circuito empleado para esta última simulación del VCO-ADC con frecuencia de muestreo mejorada. La señal de entrada a esta nueva parte del circuito tiene el mismo módulo, pero con fase negativa. El espectro de la potencia de salida de este convertidor se muestra a continuación en la siguiente figura:

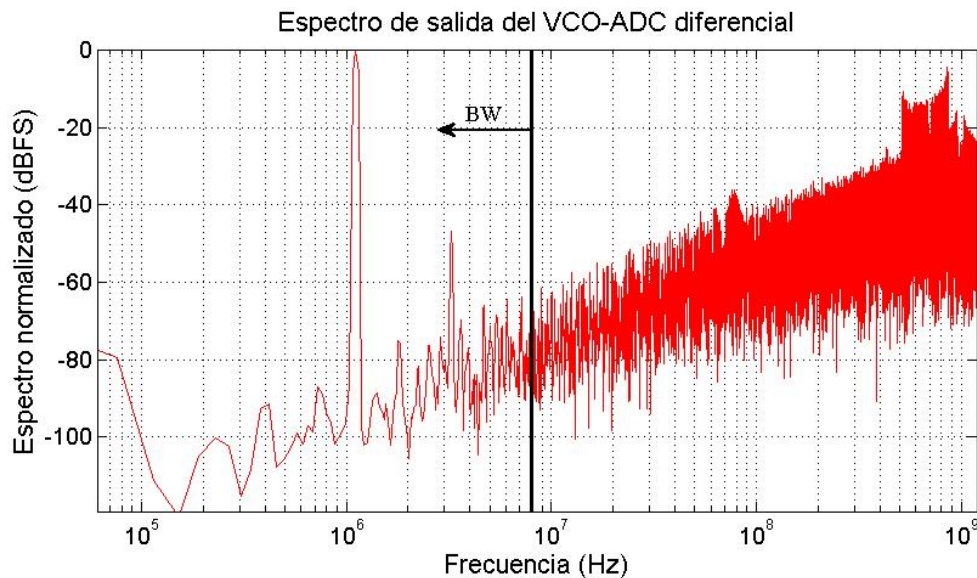


Fig. 3.28. Espectro en frecuencia de la señal de salida del VCO-ADC con frecuencia de muestreo aumentada en configuración diferencial.

Se observa, como es de esperar, que el segundo armónico desaparece y solo se conserva el tercero dentro del ancho de banda de interés. Los resultados obtenidos son los siguientes: el SNDR es de 50 dB, el SNR es de 52 dB y un ENOB de 7.5 bits. La diferencia entre el SNDR y el SNR es de tan solo 2 dB, por lo que esta configuración diferencial permite eliminar casi por completo el efecto de la distorsión del oscilador en anillo. En la tabla 3.9 se muestra un resumen de estos resultados.

El aumento de resolución supone una mejora de 5 dB en el SNDR, 4 dB en el SNR y

CAPÍTULO 3. 3.2. DISEÑO DE CIRCUITOS

0.5 bits de ENOB de esta arquitectura en comparación con la convencional.

VCO-ADC mejorado diferencial	
SNDR	50 dB
SNR	52 dB
ENOB	7.5 bits

TABLA 3.9. TABLA DE LOS RESULTADOS OBTENIDOS PARA EL
VCO-ADC MEJORADO DIFERENCIAL.

Esta arquitectura permite mejorar el SNDR debido al uso de la cadena de retraso digital conectada a cada una de las fases de salida del VCO. Como se observa por los resultados obtenidos hasta ahora, esta técnica es una forma efectiva de aumentar la frecuencia de muestreo efectiva sin aumentar la frecuencia de reloj, lo que permite mejorar la resolución del convertidor con el mismo ancho de banda. Además, como se explica anteriormente, esta arquitectura es adecuada para las nuevas tecnologías digitales CMOS, debido a que el diseño es mayoritariamente digital, incluido la cadena de retraso que se realiza con inversores. Asimismo, el aumento de la resolución permite cumplir con los requerimientos de las aplicaciones de comunicaciones actuales. Se debe tener en cuenta que todos los componentes utilizados hasta ahora son ideales y no son fuentes de ruido. En la sección 3.3. se analizará la sensibilidad y robustez del convertidor teniendo en cuenta el ruido de los elementos.

3.2. Diseño de circuitos

En esta sección se presentan todos los circuitos utilizados para el diseño del convertidor basado en el oscilador en anillo, tanto el básico como el propuesto. También se realiza una descripción y explicación del funcionamiento de cada una de estas partes, junto con los motivos por los que se ha escogido el diseño en concreto y el planteamiento seguido. Todos estos circuitos se diseñan en Virtuoso Cadence a nivel de transistor y en tecnología de $0,18 \mu\text{m}$.

3.2.1. Alimentación

Para la mejor comprensión del resto de circuitos y para el correcto funcionamiento del convertidor se establece el mismo valor de alimentación para todos los circuitos. La tensión de alimentación nominal es de 1.8 V, establecido por las reglas de la tecnología de 0,18 μm . En la figura 3.29 se muestra el circuito que permite establecer este valor junto con el de masa ('0 V'). La masa del circuito, del resto de circuitos y del convertidor es un voltaje relativo igual para todos ellos que se procura aproximar a 0 V. En comparación, la tierra de una instalación si es 0 V absoluto. En la figura 3.29, V_{DD} es la etiqueta que marca 1.8 V y V_{SS} es la etiqueta de la masa.

Se debe comentar, que situar dos etiquetas con el mismo nombre en dos cables separados provoca un corto circuito, independientemente de si están unidos o no. Esta característica que permite el software se utiliza para establecer la alimentación y la masa. Posteriormente se aplica esta técnica en otros circuitos.

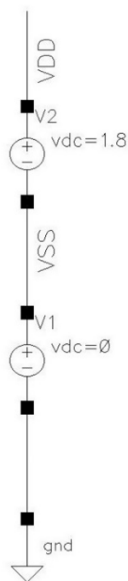


Fig. 3.29. Circuito de alimentación del sistema.

3.2.2. Oscilador en anillo

El oscilador en anillo es un oscilador controlado por tensión, que en el caso de este trabajo se alimenta por corriente mediante el transistor [30]. Este circuito se explica en la sección 2.4. del Estado del Arte y en la primera parte del desarrollo de la idea, en

CAPÍTULO 3. 3.2. DISEÑO DE CIRCUITOS

la sección 3.1. Un esquema de este circuito se muestra en la figura 2.15, formado por 7 inversores. En la figura 3.30 se observa cómo se ha realizado cada uno de estos inversores, donde V_{in} es la entrada y V_{out} es la salida.

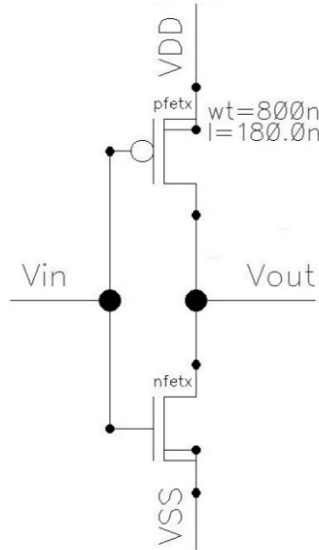


Fig. 3.30. Inversor CMOS con los tamaños del transistor.

También se observan los tamaños de los transistores, es decir su ancho y largo. Para hacer el inversor simétrico se necesita que el transistor P sea 2,5 veces más ancho que el transistor N . Esto permite que el punto de cambio se encuentre a la mitad de la alimentación (0.9 V). Para este caso se utiliza un transistor PMOS de longitud $l = 180 \text{ nm}$ y ancho $w = 800 \text{ nm}$, mientras que el transistor NMOS es de $l = 180 \text{ nm}$ y $w = 320 \text{ nm}$. En la tabla 3.10 se muestran los datos de estos tamaños. Se observa que el largo del transistor es el mínimo para esta tecnología. Para el caso de un mejor diseño, se debería aumentar este largo al doble de la tecnología. Por otro lado, el transistor que se encarga de transformar la señal de entrada en corriente de entrada al VCO, mostrado en la figura 2.15 tiene un tamaño de $l = 360 \text{ nm}$ y $w = 900 \text{ nm}$ lo que permite tener una ganancia suficiente para alimentar el VCO.

Como se ha mostrado anteriormente en la expresión del Estado del Arte (2.21), la frecuencia de oscilación depende del retraso de este inversor. El tamaño de los transistores es uno de los factores de mayor repercusión en el tiempo de retraso, resultando mayor cuando el tamaño de cada uno de los transistores aumenta y por lo tanto menor frecuencia de oscilación. Para llegar a la frecuencia de oscilación de 100 MHz, se diseña el VCO con transistores reducidos como los mostrados en la tabla 3.10.

Por otra parte, la carga de salida del VCO es otro de los factores que afectan notablemente a la frecuencia de oscilación del VCO. Sin embargo, para el caso del convertidor propuesto, esta carga se compone del *level shifter* junto con la cadena de retraso y la demodulación de la señal, por lo que es una carga estable y permite mantener constante la frecuencia de oscilación en reposo.

Tamaño de los transistores		
	P	N
w	800 nm	320 nm
l	180 nm	180 nm

TABLA 3.10. TABLA DE LOS TAMAÑOS DE LOS TRANSISTORES DE LOS INVERSORES QUE COMPONEN EL VCO.

3.2.3. Level shifter

El *level shifter* [38] es el circuito que se encarga de trasladar una señal a otro nivel de tensión [51]. Para el caso de este trabajo se utiliza para elevar la señal de salida del VCO al nivel de alimentación, para poder ser compatible con los circuitos digitales. Este circuito se presenta en la figura 3.31.

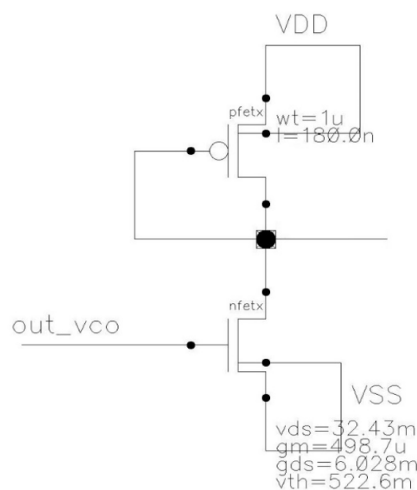


Fig. 3.31. Circuito level shifter entre la salida del VCO y la etapa de demodulación.

Siendo el tamaño del transistor NMOS de $l = 180 \text{ nm}$ y $w = 10 \mu\text{m}$ y la salida de este circuito el nodo entre ambos transistores. El tamaño del transistor PMOS es de $l = 180 \text{ nm}$

CAPÍTULO 3. 3.2. DISEÑO DE CIRCUITOS

y $w = 1 \mu m$. Estos datos se muestran en la tabla 3.11. La entrada (que es la salida de una de las fases del VCO) se sitúa en el cable llamado out_{vco} .

Tamaño de los transistores		
	P	N
w	$1 \mu m$	$10 \mu m$
l	$180 nm$	$180 nm$

TABLA 3.11. TABLA DE LOS TAMAÑOS DE LOS TRANSISTORES
DEL *LEVEL SHIFTER*.

Para una mejor comprensión de este circuito, a partir del esquemático mostrado en la figura 3.31 se realiza el circuito en pequeña señal. Esto implica que el transistor P se modela como una resistencia de valor r_o , mientras que se hace el circuito equivalente en pequeña señal para el otro transistor N . Este circuito se modela en pequeña señal como se muestra en la figura 3.32.

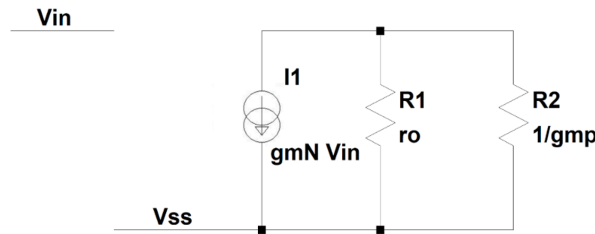


Fig. 3.32. Circuito del *level shifter* en pequeña señal.

Cuya ganancia queda definida por la siguiente expresión (3.12):

$$\frac{V_{out}}{V_{in}} = \frac{-g_{mN}}{r_o \parallel \frac{1}{g_{mP}}}, \quad (3.12)$$

siendo g_m (transconductancia del transistor) directamente proporcional a $\frac{w}{L}$ para ambos transistores y r_o directamente proporcional a L . Por lo tanto, para poder obtener una señal de salida saturada y totalmente digital, se debe obtener una ganancia alta. Siguiendo la expresión (3.12), se escogen unos tamaños de transistor (mostrados en la tabla 3.11) adecuados para obtener una alta ganancia y, así, conseguir la señal de salida deseada.

3.2.4. Cadena de retraso

La cadena de retraso es uno de los circuitos fundamentales en este convertidor ya que es el elemento que permite aumentar la frecuencia efectiva de muestreo. Como se muestra en la figura 3.18, este circuito se realiza con buffers que aplican un retraso a la señal. Cada uno de estos buffers se realiza con dos inversores (iguales a los del VCO) con una carga a la salida para retrasar el tiempo de T_s/N , como se muestra en la figura 3.33. En la tabla 3.12 se muestra el tamaño de los transistores utilizados junto con el valor del condensador. La salida de cada uno de estos buffers se muestra en la figura 3.21.

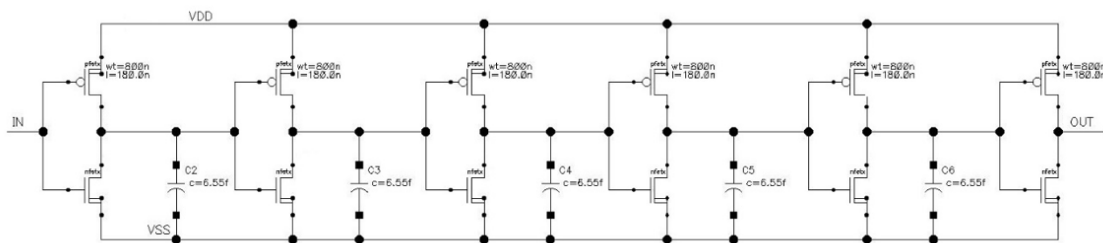


Fig. 3.33. Cadena de retraso implementada con inversores y un condensador en cada una de sus salidas.

El condensador (de valor $C = 6,55\text{fF}$) que se coloca a la salida de los inversores se utiliza para aplicar una carga a la salida y permite que el buffer tenga el tiempo de retraso deseado.

Tamaño de los transistores		
	P	N
w	800 nm	320 nm
l	180 nm	180 nm
C	6.55 fF	

TABLA 3.12. TABLA DE LOS TAMAÑOS DE LOS TRANSISTORES
DEL LEVEL SHIFTER.

3.2.5. *Flip-Flop*

Para realizar el registro y tomar muestras de la señal se utilizan dos flip-flop tipo D, como se ha mostrado en la figura 3.19 y en la figura 3.1. Este tipo de registro permite almacenar el dato de entrada (cuando se activa por el flanco de reloj) hasta el próximo flanco ascendente de reloj. Este bloque se suele representar con el símbolo que se muestra en la figura 3.34.

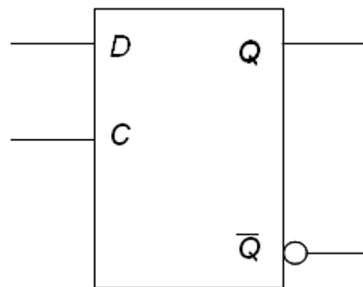


Fig. 3.34. Símbolo de un biestable D.

En este símbolo se observa como el *flip-flop* tipo D tiene dos entradas y dos salidas, sin embargo, solo se usa la entrada D y la salida Q . Para realizar este bloque se necesita una combinación de puertas lógicas. Estas puertas son puertas simples como NOT, AND y OR. Esta combinación se muestra a continuación en la figura 3.35.

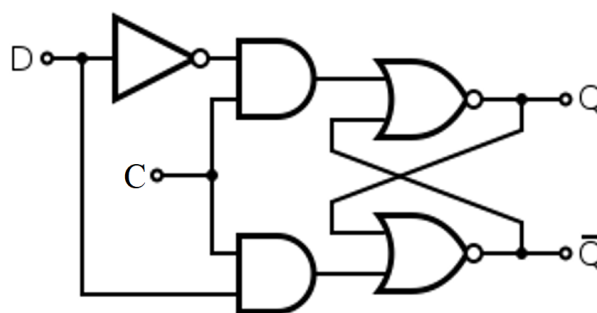


Fig. 3.35. Biestable D con puertas lógicas simples.

Siendo la entrada D y C equivalentes a las entradas de la figura 3.34, se observa que las salidas también son equivalentes. A continuación, se muestra cómo se ha implementado este dispositivo a nivel de transistor en CMOS. Para ello, se realiza cada una de las puertas anteriores en transistor para una posterior combinación. Primero se realiza el inversor, mostrado a la izquierda de la figura, seguido de dos circuitos iguales que son las dos

puertas AND que se muestran en la figura 3.35. Para diseñar esta puerta AND, primero se realiza una puerta NAND (AND negado) debido a la lógica negada de la familia CMOS y seguidamente se invierte con un inversor CMOS idéntico al utilizado al principio. Por último, los dos circuitos de la izquierda son los dos XNOR (XOR negado) de salida que se muestran en la figura 3.35. Esta vez no se invierte la salida debido a que la puerta ya está negada.

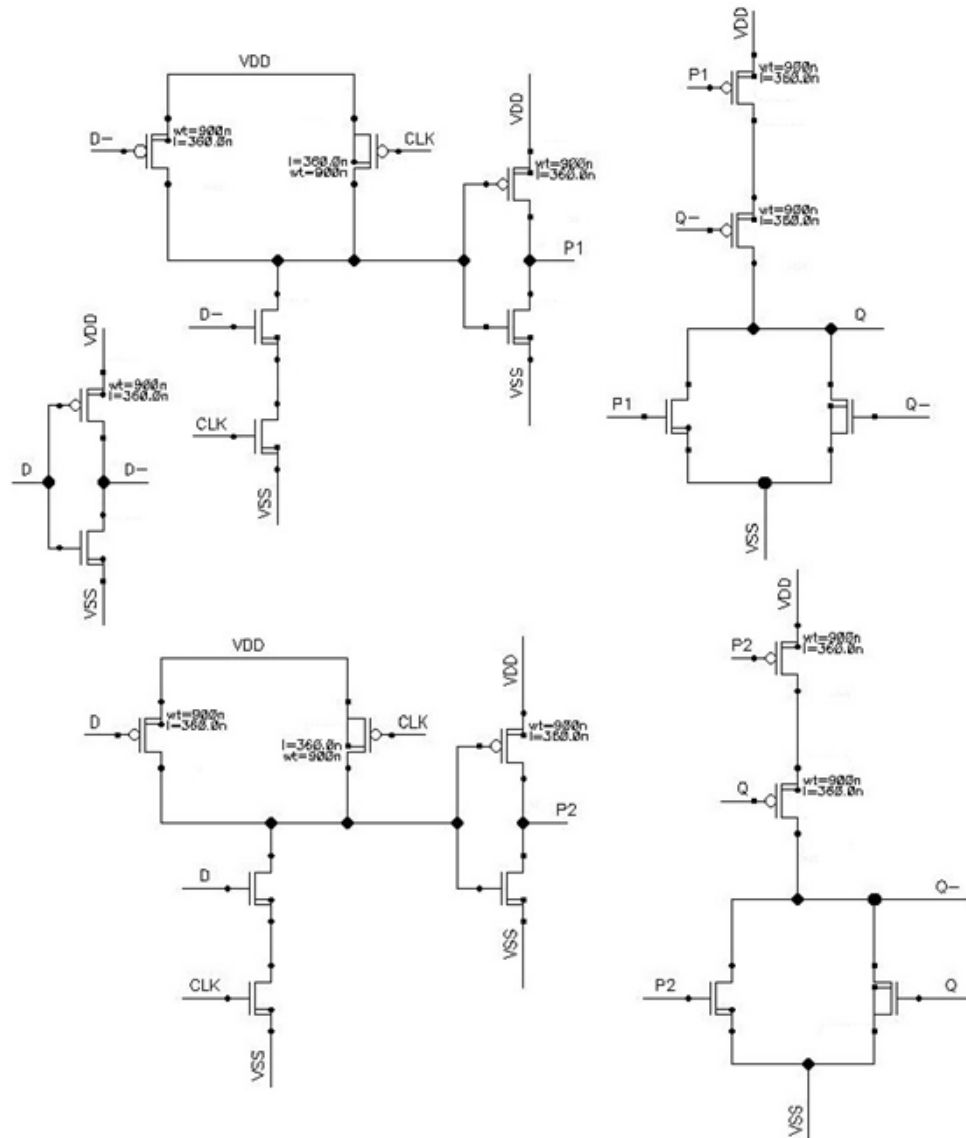


Fig. 3.36. Biestable tipo D realizado a nivel de transistor.

Para este caso, se observa que todos los transistores son del mismo tamaño (un tamaño para los transistores P de $l = 360 \text{ nm}$ y $w = 900 \text{ nm}$ y otro tamaño para los transistores N de $l = 360 \text{ nm}$ y $w = 360 \text{ nm}$), lo que permite un funcionamiento más estable y preciso, con el mismo tiempo de retraso para todas las puertas lógicas. Estos tamaños se

CAPÍTULO 3. 3.2. DISEÑO DE CIRCUITOS

encuentran resumidos en la tabla 3.13. En la figura 3.36 se debe tener en cuenta que las etiquetas de los puntos iguales corresponden al mismo conector. Por lo tanto, estos dos puntos están conectados y tienen la misma señal y valor de tensión en todo momento.

Tamaño de los transistores		
	P	N
w	900 nm	360 nm
l	360 nm	360 nm

TABLA 3.13. TABLA DE LOS TAMAÑOS DE LOS TRANSISTORES QUE COMPONEN EL BIESTABLE TIPO D.

3.2.6. Puerta XOR

Esta puerta digital se utiliza para realizar la primera diferencia de las dos señales de salida de los *flip-flops*, como se ha descrito anteriormente. Este circuito se utiliza en figuras como 3.1 y 3.19. Esta puerta lógica también se realiza a nivel de transistor en CMOS. Aun así, primero se muestra una tabla de verdad de esta puerta para una mejor comprensión:

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

TABLA 3.14. TABLA DE VERDAD DE UNA PUERTA XOR CON DOS ENTRADAS Y UNA SALIDA.

Se observa por la tabla anterior que cuando las dos entradas son distintas, la salida es ‘1’ digital (el valor de la alimentación, 1.8 V, V_{DD}), mientras que cuando las dos entradas son iguales, la salida es ‘0’ digital (el valor de la masa, 0 V, V_{ss}). Al igual que el biestable D, la puerta XOR también se puede ejecutar mediante puertas lógicas simples como se muestra en la figura 3.37.

Esta puerta se puede realizar de diferentes maneras y se puede obtener el mismo resultado. Antes de mostrar el esquemático realizado a nivel de transistor se muestra una

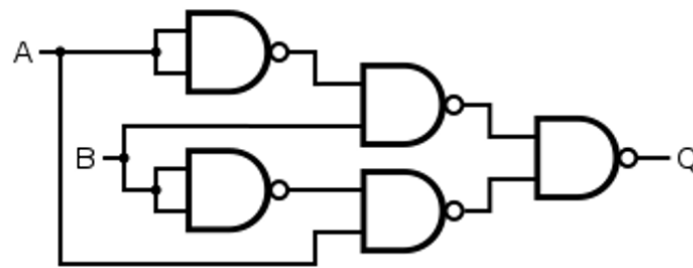


Fig. 3.37. Puerta XOR con puertas lógicas simples.

figura realizada mediante interruptores en la figura 3.38 que corresponde con la arquitectura implementada en transistor. La implementación a nivel de transistor en CMOS se realiza de la forma mostrado en la figura 3.39 (con los mismos tamaños de transistor que para el biestable D). A pesar de que en la figura 3.37 se muestra una forma de realizar una puerta XOR con puertas AND, en este caso se realiza de una forma diferente. Al mismo tiempo, en la figura 3.36 se muestra otra una forma de realizar una puerta XNOR a nivel de transistor (lo que podría resultar en una puerta XOR si se le conecta un inversor a la salida), sin embargo, se utiliza el esquemático de la figura 3.39 para implementarlo.

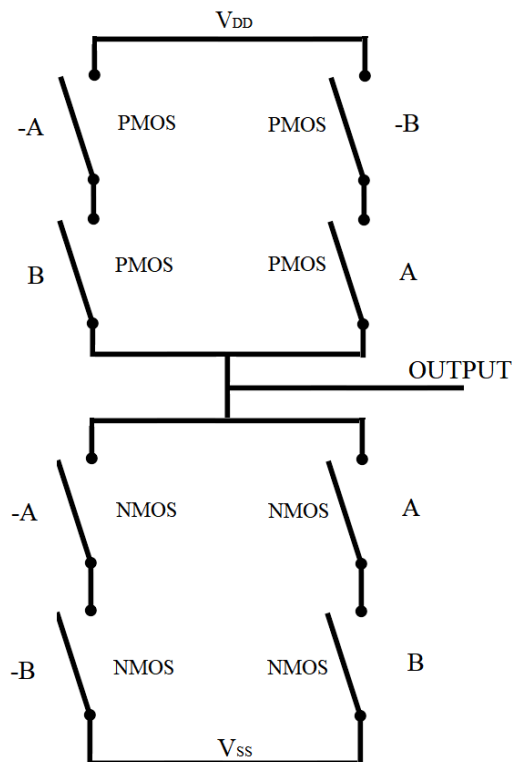


Fig. 3.38. Puerta XOR realizado con interruptores.

La razón por la que se utiliza esta estructura es debido a que es una forma simple de

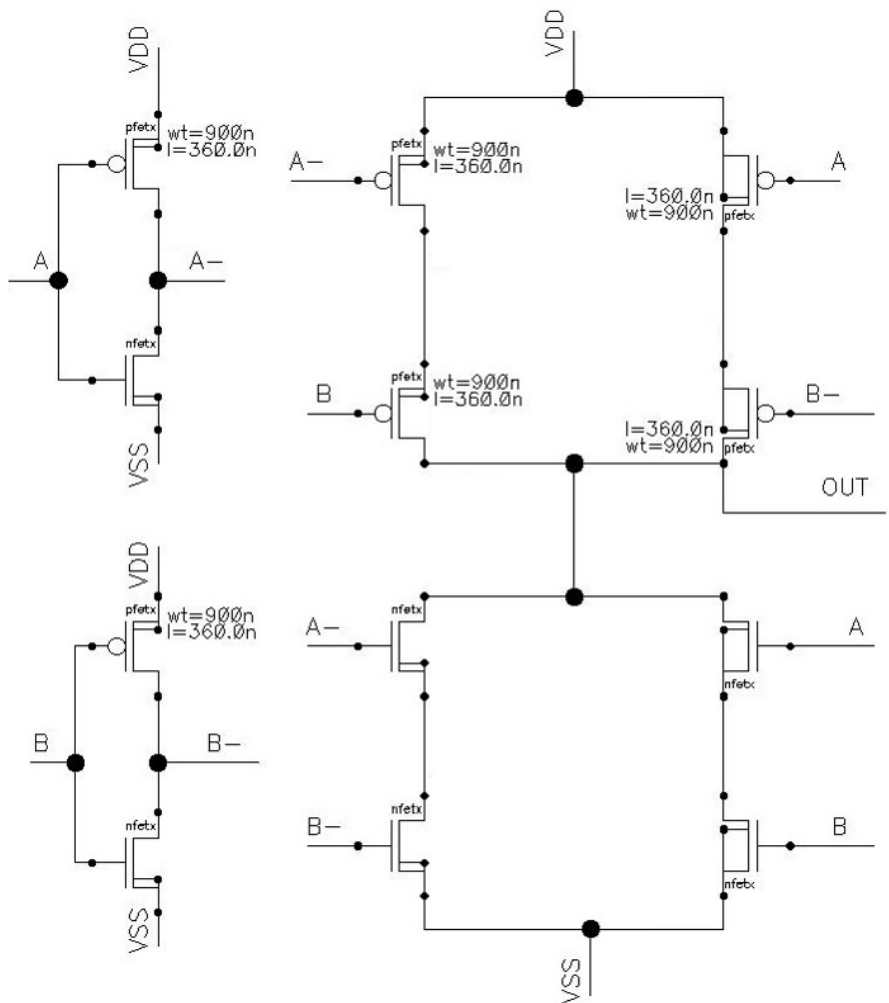


Fig. 3.39. XOR realizado a nivel de transistor.

realizar esta puerta. En el caso de la estructura mostrada en la figura 3.37, se deberían utilizar 5 puertas AND lo que implica que la velocidad de las operaciones es menor.

Al igual que el circuito *flip-flop D*, mostrado en la figura 3.36, esta puerta se realiza con el mismo tamaño de transistor para los dos tipos de transistores. En la tabla 3.15 se muestra un resumen del tamaño de los transistores utilizados.

Tamaño de los transistores		
	P	N
w	900 nm	360 nm
l	360 nm	360 nm

TABLA 3.15. TABLA DE LOS TAMAÑOS DE LOS TRANSISTORES QUE COMPONEN LA PUERTA XOR.

3.2.7. Transconductor

El transconductor es un circuito que se utiliza siempre que se tiene que convertir una señal de tensión a corriente. Para el caso de este trabajo, se utiliza el transconductor para los circuitos diferenciales, ya que se puede realizar este circuito en una configuración diferencial con dos entradas y dos salidas. Las dos señales de entrada en tensión se transforman en corrientes de salida invertidas en fase. Este circuito se utiliza en este proyecto para alimentar el oscilador en anillo (al igual que se hace con el transistor de alimentación mostrado en la figura 2.15), pero en este caso, al ser diferencial, se alimentan los dos osciladores en anillo de la arquitectura mediante las dos salidas del transconductor. Un diagrama de bloques en el que se utiliza se muestra en la figura 3.15. En esta figura se observa el transconductor como una caja con dos entradas y dos salidas. Seguidamente, en la figura 3.40 se muestra el interior de esta caja que representa el circuito del transconductor realizado a nivel de transistor. En la figura 3.40 se observan también los tamaños de los transistores utilizados, denotados con l y wt , para el largo y el ancho respectivamente. Al igual que anteriormente, en la tabla 3.16 se muestran estos parámetros además del valor de la resistencia y la fuente de corriente.

Tamaño de los transistores		
	P	N
w	360 nm	360 nm
l	360 nm	360 nm
R		10 k Ω
I_{dc}		11.5 μA

TABLA 3.16. TABLA DE LOS TAMAÑOS DE LOS TRANSISTORES Y PARÁMETROS DEL TRANSCONDUCTOR.

En esta figura se observa cómo las dos señales entran (denotadas V_p y V_n) a cada uno de los transistores N inferiores. La corriente que generan (11.5 μA de media) es copiada por dos espejos de corriente a las dos ramas de salida (denotadas VCO_p y VCO_n). Estas dos señales son la alimentación de los dos osciladores en anillo del sistema. La ganancia del transconductor es inversamente proporcional a la resistencia que se observa en la figura anterior ($G = \frac{1}{R}$). A mayor R , mejor linealidad a la salida, esta es la razón por la que se

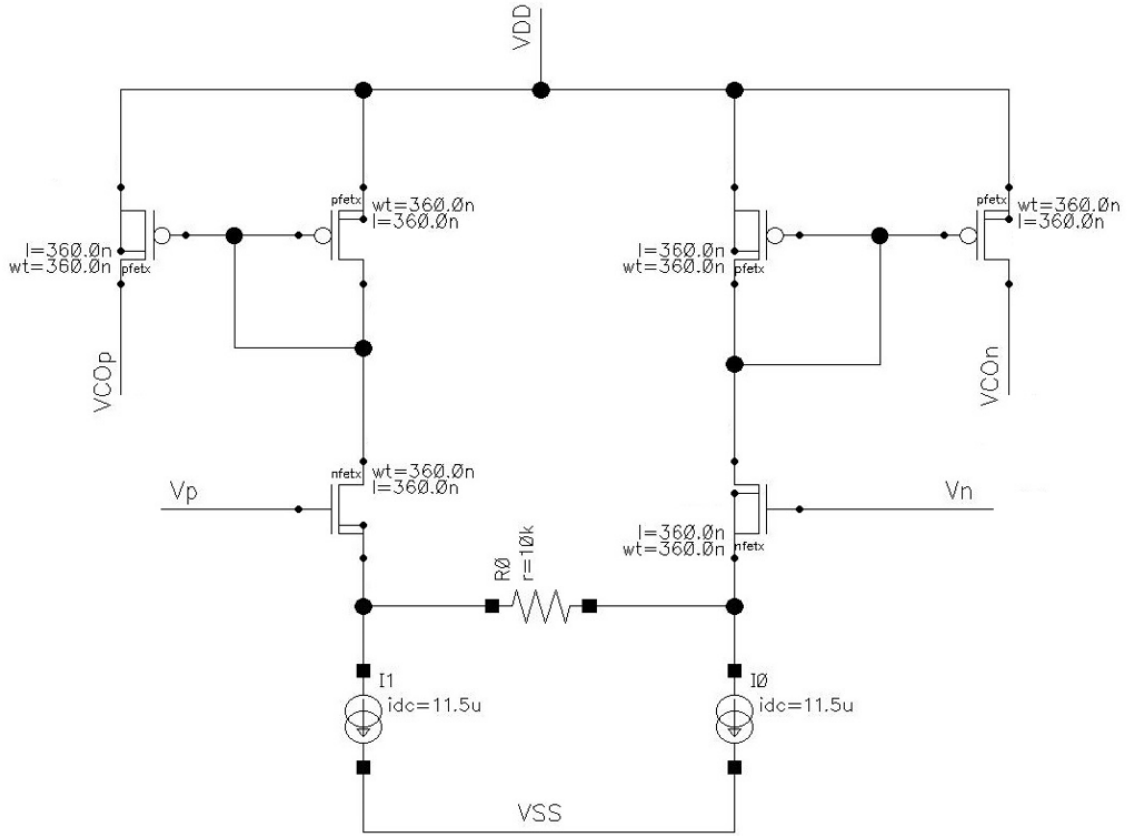


Fig. 3.40. Transconductor a nivel de transistor.

escoge esta configuración. Por lo tanto, se escoge una resistencia elevada como la que se muestra ($R = 10 \text{ k}\Omega$). Esta resistencia y el ruido térmico que provoca se analiza en la sección 3.3. de este trabajo.

El espejo de corriente es un circuito cuya función es copiar la corriente de una rama en otra. En el transconductor se utiliza un espejo de corriente para cada entrada. Un circuito de un espejo de corriente se muestra en la figura 3.41.

A partir de esta figura 3.41 se pueden obtener las expresiones para determinar la corriente de salida:

$$I_{dc} = \frac{1}{2} \cdot \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_{GS} - V_{TH})^2, \quad (3.13)$$

$$I_{OUT} = \frac{1}{2} \cdot \mu_n C_{ox} \left(\frac{W}{L} \right)_2 (V_{GS} - V_{TH})^2, \quad (3.14)$$

siendo 1 y 2 los subíndices de Q_1 y Q_2 . Combinando las dos expresiones anteriores, se

DISEÑO DE UN CONVERTIDOR A/D BASADO EN OSCILADOR EN ANILLO EN TECNOLOGÍA CMOS 0,18 μm

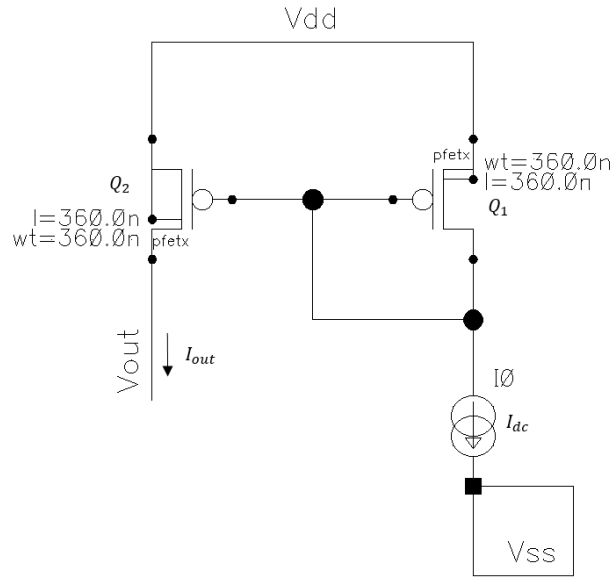


Fig. 3.41. Transconductor a nivel de transistor.

obtiene la corriente de salida resultante a partir de la entrada:

$$I_{OUT} = \frac{(W/L)_2}{(W/L)_1} \cdot I_{dc}, \quad (3.15)$$

que para el caso de esta aplicación, con $(W/L)_1$ igual a $(W/L)_2$, se obtiene una corriente de salida $I_{OUT} = I_{dc}$.

Por otra parte, la resistencia y la ganancia del transconductor son inversamente proporcionales, como se ha explicado anteriormente. Debido a que no se requiere una alta ganancia, ya que la corriente media está fijada por las dos fuentes de tensión, se pretende obtener una mayor linealidad. Para ello, se eleva el valor de la resistencia.

Las dos fuentes de corriente que se observan en el circuito son ideales de valor $I_{dc} = 11.5 \mu\text{A}$. Sin embargo, en una aplicación real del convertidor, se diseña un circuito como referencia de voltaje estable (llamado *bandgap*) del cual parte toda la alimentación del circuito (incluido las fuentes de corriente). A partir de este circuito, y mediante espejos de corriente, se pueden establecer una referencias de la corriente principal dentro del circuito.

3.3. Análisis de sensibilidad

En esta sección, una vez estudiado las dos arquitecturas para un VCO-ADC y mostrado todos los circuitos a nivel de transistor, se realiza un análisis de sensibilidad y robustez de los principales circuitos de la arquitectura propuesta. En concreto, se estudia el transconductor, la cadena de retraso y el oscilador del anillo. El resto de los circuitos presentados en la sección anterior quedan fuera del estudio en este trabajo¹⁹. Igualmente, son los circuitos estudiados los que presentan mayor dificultad y problemas a la hora de diseñar. Dependiendo de los parámetros que afectan a cada uno de estos circuitos, se realiza un estudio para analizar su viabilidad. Al analizar estos factores se puede determinar los límites de este convertidor y cómo sería su actuación al ser fabricado en un entorno real.

3.3.1. Oscilador en anillo

Como se ha observado y se ha explicado en la sección anterior, el oscilador en anillo no es lineal [25] y en los espectros de salida en frecuencia se observa esta no linealidad en los armónicos. A la hora de simular las dos arquitecturas presentadas en este trabajo, el oscilador en anillo se ha simulado sin ruido (con los inversores ideales). Cuando aparece ruido en los diferentes elementos que componen el oscilador en anillo, la salida del oscilador se expresa de la siguiente forma:

$$V_{out}(t) = A(t) \cdot f[\omega_0(t) + \phi t], \quad (3.16)$$

donde $\phi(t)$ y $A(t)$ son el modelo matemático de la fluctuación de la amplitud y la fase debido a fuentes de ruido externas e internas respectivamente. La fluctuación de la amplitud es reducida significativamente por los mecanismos que limitan la amplitud, además, como en este convertidor se realiza modulación en frecuencia, el ruido de amplitud no es relevante. Asimismo, al utilizar el *level shifter* la posible modulación por amplitud es eliminada. Sin embargo, la variación de la fase no es atenuada y, por lo tanto, es importante realizar un estudio.

Si se trata al oscilador como un sistema que convierte la tensión o la corriente en fase, las variaciones en la fase persisten indefinidamente debido a que las transiciones poste-

¹⁹Esto se debe a que los circuitos digitales son más inmunes al ruido.

riores están desplazadas la misma cantidad. Estas variaciones de fase son provocadas por alteraciones o ruido provocados por diferentes factores que afectan al oscilador, pero normalmente por la tensión o en la corriente de alimentación. Calcular el ruido de fase es complicado debido a la naturaleza variante en el tiempo de los osciladores. Una comparación entre un modelo real e ideal se muestra en la figura 3.42 [11].

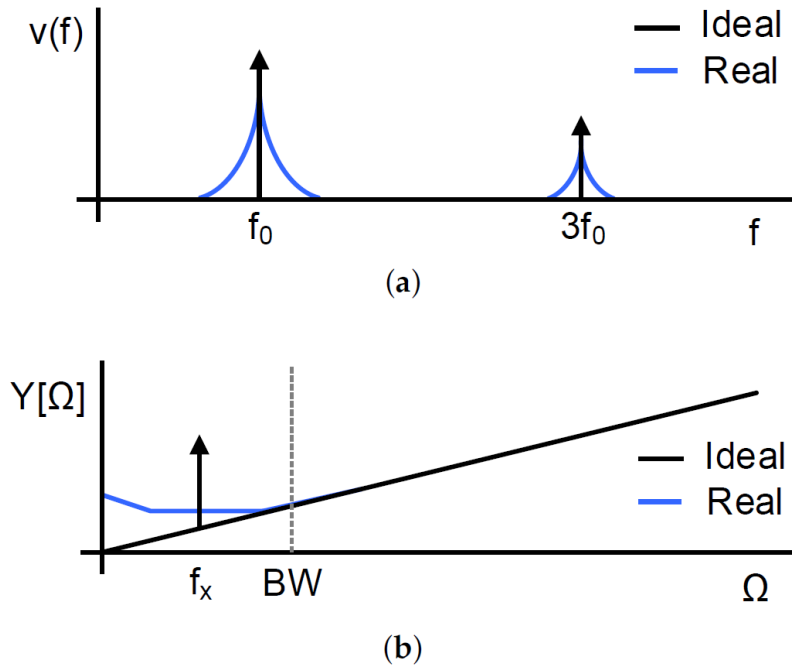


Fig. 3.42. Efectos del ruido sobre el espectro de un VCO-ADC. (a) Espectro de $v(t)$; (b) Espectro de la salida del convertidor $y[n]$ asumiendo una entrada senoidal [11].

En la figura 3.42.(a) se puede observar como para el caso ideal, el espectro estaría compuesto por *Dirac deltas* a la frecuencia de oscilación y en sus armónicos. Mientras que en la figura 3.42.(b), la salida del modulador $y[n]$ estaría solo formada por ruido de cuantificación y la señal de entrada, como se observa en los espectros obtenidos anteriormente en este trabajo. No obstante, en una implementación real, este ruido de fase es inevitable y produce variaciones aleatorias en la frecuencia de oscilación (f_0) y sus armónicos. En la figura 3.42.(b) se puede observar este ruido de fase a la salida a bajas frecuencias, asumiendo una entrada senoidal. Por consiguiente, la potencia de ruido resultante dentro de la banda de interés aumenta, limitando la resolución del convertidor.

Este ruido afecta al espectro de potencia de salida del VCO-ADC con ruido a bajas frecuencias ajeno al conformado espectral de ruido. En la figura 3.43, se observa el espectro de frecuencia de salida de un convertidor A/D basado en un oscilador básico en anillo con

CAPÍTULO 3. 3.3. ANÁLISIS DE SENSIBILIDAD

ruido de fase en comparación con un convertidor sin ruido de fase. Se observa que, hasta la frecuencia del tono, el ruido sigue una pendiente de -10 dB/dec, esto se debe al efecto del ruido comentado.

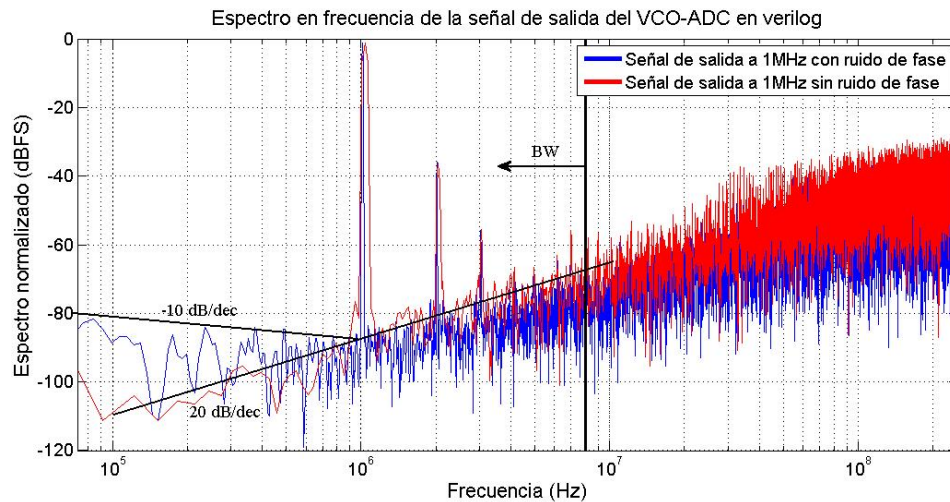


Fig. 3.43. Comparación entre la salida del convertidor con ruido en el oscilador en anillo y sin ruido en el oscilador en anillo.

En este espectro se puede comparar cómo afecta el ruido de fase a la salida del ADC. Además, el SNDR obtenido es 0.5 dB menor y es SNR 0.8 dB menor debido a este efecto.

Conocidos los datos obtenidos, se puede concluir que la arquitectura propuesta no está limitada por el ruido de fase del oscilador en anillo, debido a que la pérdida de resolución es mínima.

Para simular el ruido de fase del oscilador en anillo se han utilizado 2^{16} puntos de simulación. Como se observa en la figura 3.43 el ancho del tono de la señal azul (que corresponde con la señal de salida del convertidor con ruido de fase en el oscilador en anillo) es menor que el ancho del tono del tono rojo, debido a que esta se ha simulado con 2^{14} puntos.

3.3.2. Transconductancia

Este circuito, utilizado para transformar la tensión de entrada de los circuitos diferenciales en corriente de salida, se ha explicado y se ha mostrado en el apartado 3.2. Como

se ha explicado en dicho apartado, la resistencia es una fuente de ruido térmico²⁰ y, por lo tanto, en esta sección se analiza su efecto sobre el circuito del transconductor en concreto, y sobre el convertidor en general.

El ruido térmico es aproximadamente blanco [52], lo que quiere decir que su densidad espectral de potencia uniforme para todas las frecuencias. Para una resistencia no ideal, el ruido puede ser modelado como una fuente de tensión. La densidad espectral de potencia del ruido térmico de esta resistencia viene dada por la siguiente expresión (3.17):

$$\overline{v_n^2} = 4K_B T R, \quad (3.17)$$

siendo K_B la constante de Boltzmann en J/K ($1,3810^{-23} J/K$), T la temperatura de la resistencia en kelvin, y R el valor de la resistencia en Ohmios. Analizando la expresión (3.17), se puede observar que la tensión del ruido es directamente proporcional al valor de la resistencia y al valor de la temperatura de esta.

A continuación, en la figura 3.44 se muestra la tensión de entrada al transconductor (en color verde) con una resistencia ideal de $10k\Omega$ y la corriente de salida (en color morado).

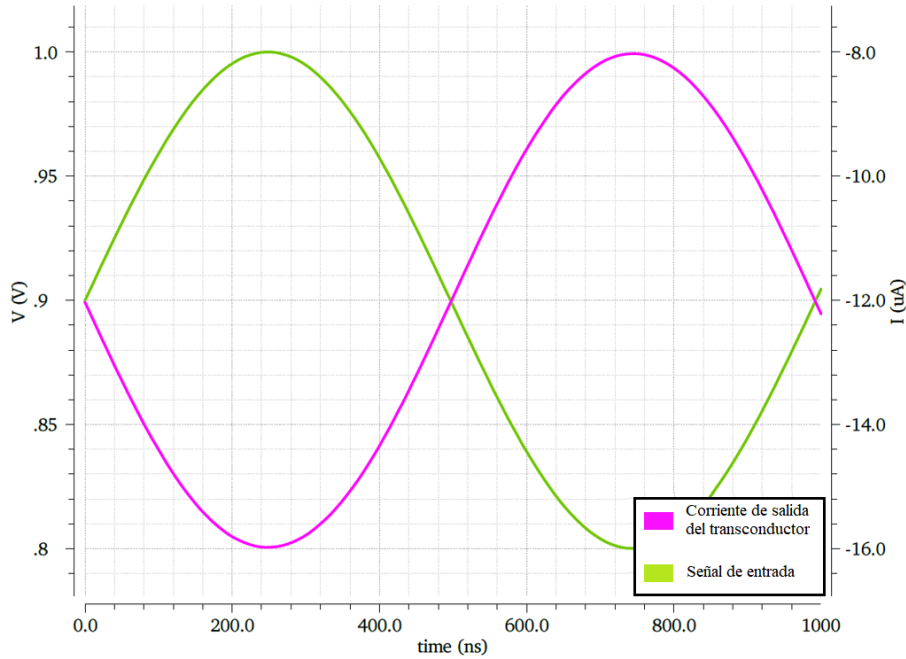


Fig. 3.44. Tensión de entrada y corriente de salida del transconductor para una resistencia ideal.

²⁰También conocido como ruido de Johnson-Nyquist [31] [44]. Se genera debido a la agitación térmica de los portadores de carga en equilibrio.

CAPÍTULO 3. 3.3. ANÁLISIS DE SENSIBILIDAD

En la figura se establece en el eje x el tiempo en ns , mientras que el eje y de la izquierda se establece el voltaje en V y en la derecha la corriente en μA . Se observa cómo las dos señales son inversas debido al comportamiento del transconductor. La corriente media de salida es de $12 \mu A$ similar a la corriente de entrada al VCO para el caso de la configuración *single-ended*.

Al aplicar ruido únicamente a la resistencia de $10 k\Omega$ se obtiene la simulación de las mismas señales que en las dos figuras anteriores, observada en la figura 3.45.

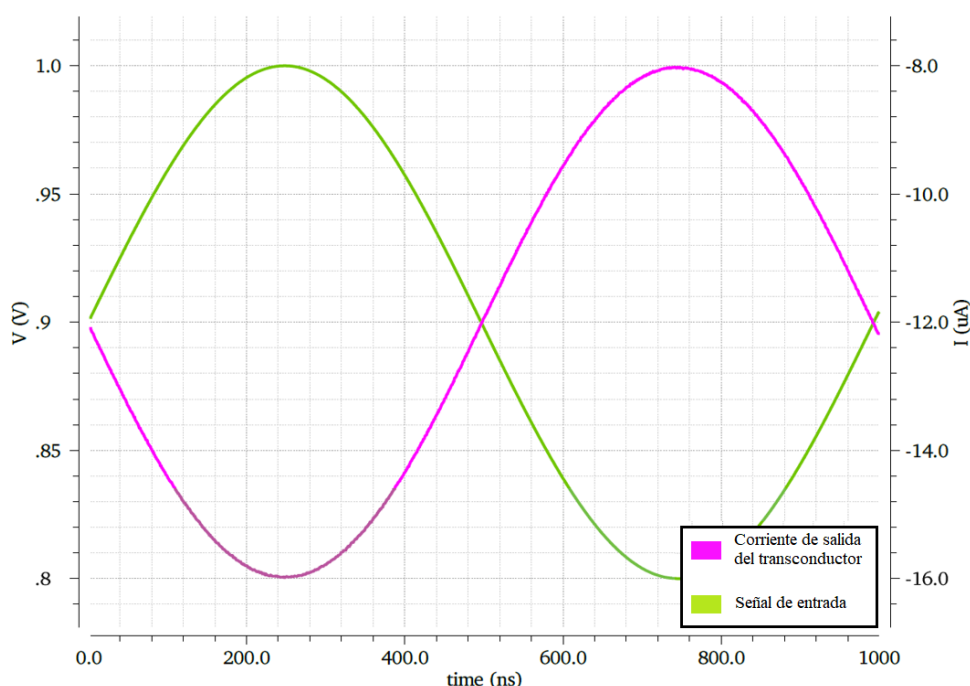


Fig. 3.45. Tensión de entrada y corriente de salida del transconductor para una resistencia no ideal.

Se observa en la figura 3.45, cómo la señal es, a priori, prácticamente idéntica a la anterior (figura 3.44), el rizado que aparece en la corriente de salida es mínimo, sin embargo, esto se comprueba realizando el espectro de salida del convertidor.

Para observar un efecto del ruido destacado a la salida del transconductor, se decide aplicar ruido a todos los componentes del circuito que lo componen (resistencia, transistores y fuentes), obteniendo la siguiente respuesta:

En esta figura sí se observa que la corriente de salida (en morado) tiene un rizado provocado por el ruido de los componentes del sistema. A pesar de esto, el ruido que aparece en la señal de salida es escaso por lo se debe realizar un análisis de la salida del convertidor para comprobar la viabilidad. Se debe recordar que la corriente tiene un valor

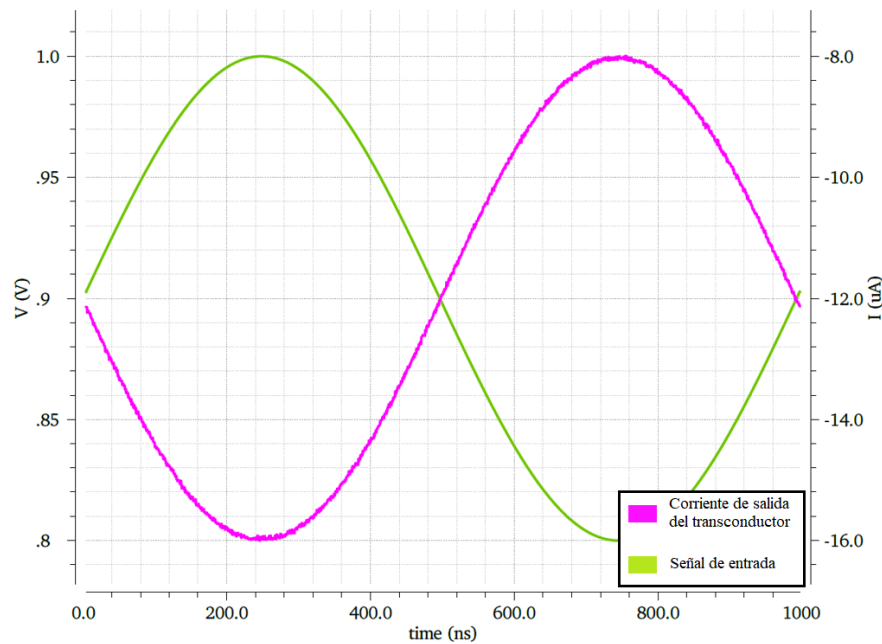


Fig. 3.46. Tensión de entrada y corriente de salida del transductor para todos los componentes no ideales.

medio de $11.5 \mu A$.

El transductor con ruido únicamente en la resistencia, se decide probar en la arquitectura del convertidor básico para analizar las limitaciones que pueden surgir a la salida. Es decir, se compara el funcionamiento del transductor mostrado en la figura 3.44 y el transductor (con ruido térmico en la resistencia) mostrado en la figura 3.45. El espectro de salida de este convertidor con el efecto del ruido térmico se compara en la siguiente figura:

En esta figura se observa cómo aparece ruido a bajas frecuencias debido a la resistencia térmica de la resistencia del transductor. A pesar del aspecto de este espectro de frecuencias, el SNDR y el SNR solo disminuyen 1 dB. Esto permite concluir que el ruido térmico de la resistencia del transductor no limita el funcionamiento del convertidor.

3.3.3. Cadena de retraso

Anteriormente se ha descrito cómo se implementa y cuál es el funcionamiento y la función de esta cadena de retraso. Se sabe que, gracias a su realización, la frecuencia de muestreo es aumentada. También se ha descrito cómo pasar de la arquitectura convencio-

CAPÍTULO 3. 3.3. ANÁLISIS DE SENSIBILIDAD

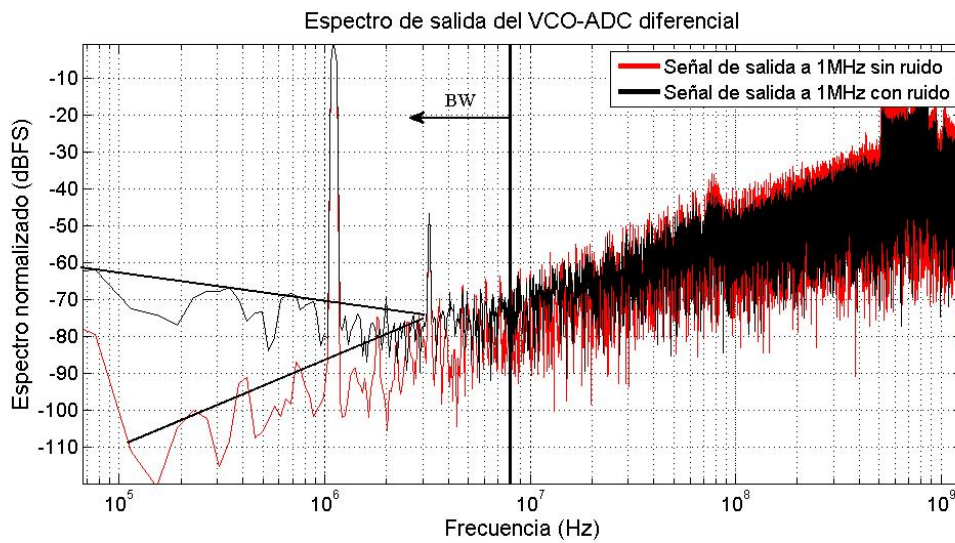


Fig. 3.47. Espectro de salida del convertidor para la resistencia ideal y no ideal del transconductor.

nal a esta arquitectura mejorada mediante este circuito. Sin embargo, no se ha discutido los impedimentos que ocasiona este retraso digital.

Como se ha analizado, el tiempo de retraso de cada uno de los buffers es de τ_d . No obstante, este valor está fuertemente afectado cuando se fabrica un prototipo debido a las variaciones PVT [19] [8] (*Process Voltage and Temperature*). También es conocido como análisis de *corners* (extremos), siendo los *corners* los extremos de las variaciones de estos parámetros. Para realizar un análisis de sensibilidad se estudian y se modifican deliberadamente estos tres factores diferentes: el proceso de fabricación de los transistores y su rapidez, la variación de la tensión de alimentación y la temperatura ambiente. Las variaciones que sufren los transistores se deben a los procesos de fabricación a los que se someten los transistores que conforman el chip. Esto tiene como consecuencia que los transistores no son uniformes una vez obtenido el chip final, lo que hace que unos sean rápidos y otros lentos. Para ello se realiza un análisis de Monte Carlo²¹ de los factores nombrados en conjunto y por separado y se observa cómo varía el retraso de cada uno de los buffers. El análisis de Monte Carlo realiza un gran número de muestras haciendo variaciones aleatorias a los parámetros del circuito. Una vez obtenido el peor caso, se realiza una simulación del sistema completo con este retraso para observar los resultados

²¹El análisis de Monte Carlo [22] es un método estadístico numérico que proporciona una solución aproximada de una expresión matemática compleja.

a la salida del convertidor en el peor de los casos y analizar la sensibilidad del sistema.

Antes de realizar el análisis de los *corners*, se realiza un análisis de Monte Carlo a los valores nominales de la cadena, para observar las variaciones en el tiempo de retraso producidas ante cambios aleatorios. Los datos del tiempo de retraso obtenidos son los siguientes:

Casos extremos		
Retraso	323.3 ps	486.3 ps

TABLA 3.17. TABLA DE LOS CASOS EXTREMOS DEL ANÁLISIS
DE MONTE CARLO DEL TIEMPO DE RETRASO NOMINAL.

El histograma obtenido a partir del análisis de Monte Carlo se observa en la figura 3.48.

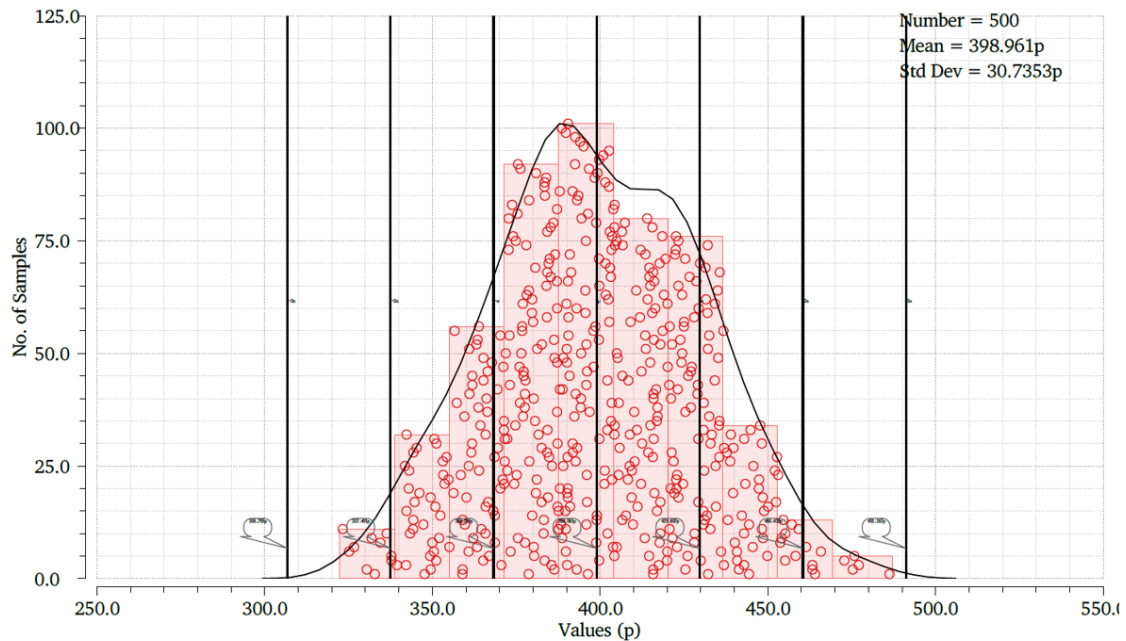


Fig. 3.48. Histograma de valores de retraso para el caso nominal de $T=27^{\circ}\text{C}$.

Se observa a partir de este histograma que el valor medio de los resultados obtenidos es un tiempo de retraso igual a 398.9 ps, mientras que los valores extremos se han observado en la tabla superior.

El análisis consiste en variar los parámetros de proceso, voltaje y temperatura (PVT) para observar los cambios en el retraso de la cadena. El primer caso de estudio es la tem-

CAPÍTULO 3. 3.3. ANÁLISIS DE SENSIBILIDAD

peratura. En la siguiente tabla se muestran los resultados obtenidos en el retraso para cada una de las temperaturas establecidas. Esta tabla se obtiene al realizar una única simulación con cada una de las temperaturas. Estas temperaturas son $-40\text{ }^{\circ}\text{C}$, $0\text{ }^{\circ}\text{C}$, $27\text{ }^{\circ}\text{C}$ y $100\text{ }^{\circ}\text{C}$. La temperatura nominal es de $27\text{ }^{\circ}\text{C}$ y para las simulaciones realizadas en los apartados anteriores se ha obtenido un retraso de 397 ps.

Temperatura	$-40\text{ }^{\circ}\text{C}$	$0\text{ }^{\circ}\text{C}$	$27\text{ }^{\circ}\text{C}$	$100\text{ }^{\circ}\text{C}$
Retraso	357.3 ps	379.3 ps	394.7 ps	435.6 ps

TABLA 3.18. TABLA DE LOS TIEMPOS DE RETRASO OBTENIDOS PARA LAS DIFERENTES TEMPERATURAS.

Se observa que los peores valores de retraso (los más alejados del valor nominal) son los que se obtienen a una diferencia de temperatura mayor. Al realizar un análisis de Monte Carlo, los resultados son mucho más amplios (debido a que se realizan 500 simulaciones). Para este caso, se aplica este análisis a los valores extremos, es decir, para $-40\text{ }^{\circ}\text{C}$ y $100\text{ }^{\circ}\text{C}$. Seguidamente, en las figuras 3.49 y 3.50, se muestran los histogramas de ambas simulaciones.

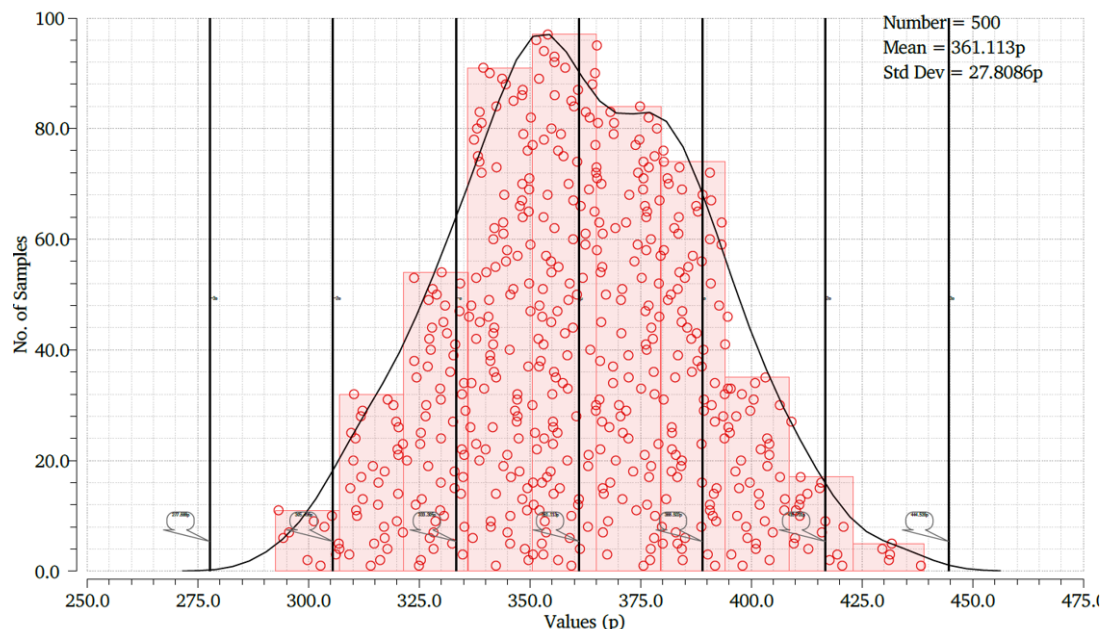


Fig. 3.49. Histograma de valores de retraso para una temperatura igual a $-40\text{ }^{\circ}\text{C}$.

En este histograma se puede observar la distribución que siguen todos los posibles valores del retraso calculados para todas las simulaciones realizadas y para una temperatura

de $-40\text{ }^{\circ}\text{C}$. Se observa cómo el valor medio es de 361.11 ps de retraso y el valor mínimo es de 293.2 ps. Este retraso supone un porcentaje de variación de un 25.7 %. En la figura 3.50 se muestra el histograma para una temperatura de $100\text{ }^{\circ}\text{C}$.

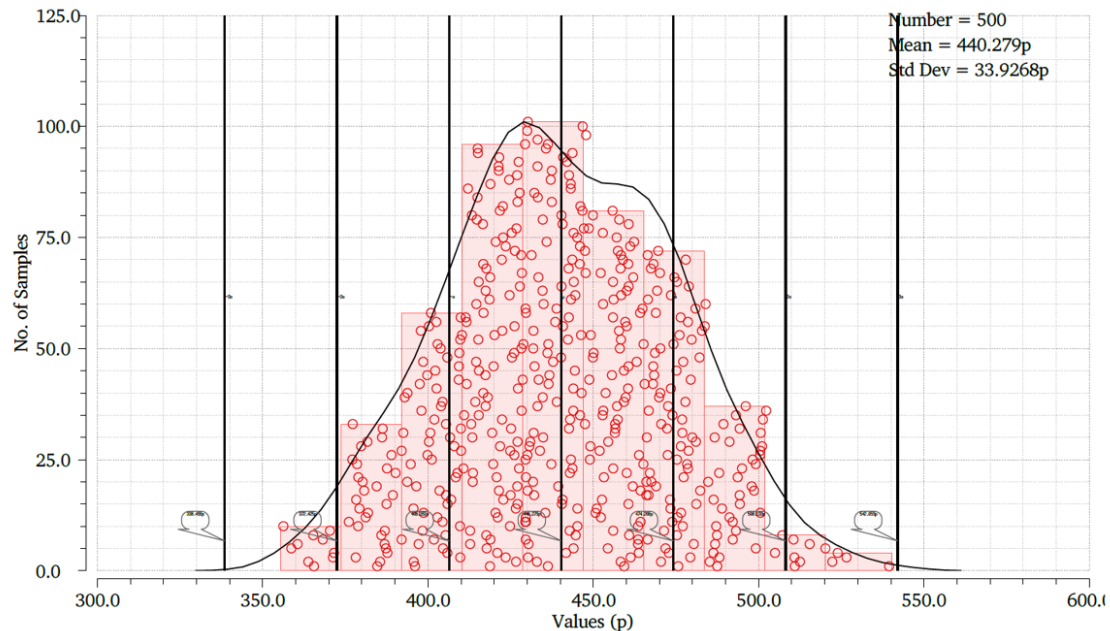


Fig. 3.50. Histograma de valores de retraso para una temperatura igual a $100\text{ }^{\circ}\text{C}$.

Este histograma representa los valores del retraso de cada buffer para una temperatura de $100\text{ }^{\circ}\text{C}$. En este histograma se puede observar que el valor medio del retraso es de 440.3 ps, mientras que el peor de los casos es de 539.5 ps, lo que supone una variación del 26.8 % con respecto al valor nominal.

Antes de realizar las simulaciones de Monte Carlo, se debe de realizar una única simulación para todos los posibles valores para obtener los peores casos. Una vez obtenidos los peores casos se puede proceder con la simulación de Monte Carlo.

Para el caso de la alimentación, se evalúa la variación de retraso para los valores de tensión de alimentación 1.6 V, 1.7 V, 1.8 V (valor nominal), 1.9 V y 2.0V. Para estos valores, al realizar una única simulación, se obtienen los retrasos expuestos en la tabla 3.19 (se omite el resultado nominal debido a que se ha obtenido previamente en la tabla de temperaturas):

De nuevo, los peores resultados se obtienen a partir de los datos más distantes al valor nominal (1.8 V), es decir, 1.6 V y 2.0 V de alimentación. Para estos dos valores se realiza

CAPÍTULO 3. 3.3. ANÁLISIS DE SENSIBILIDAD

Alimentación	1.6 V	1.7 V	1.9 V	2.0 V
Retraso	447 ps	417.7 ps	376.5 ps	361.9 ps

TABLA 3.19. TABLA DE LOS TIEMPOS DE RETRASO OBTENIDOS PARA LAS DIFERENTES TENSIONES DE ALIMENTACIÓN.

un análisis de Monte Carlo para obtener los peores resultados posibles. En las figuras 3.51 y 3.52 se observan los histogramas obtenidos para estas simulaciones.

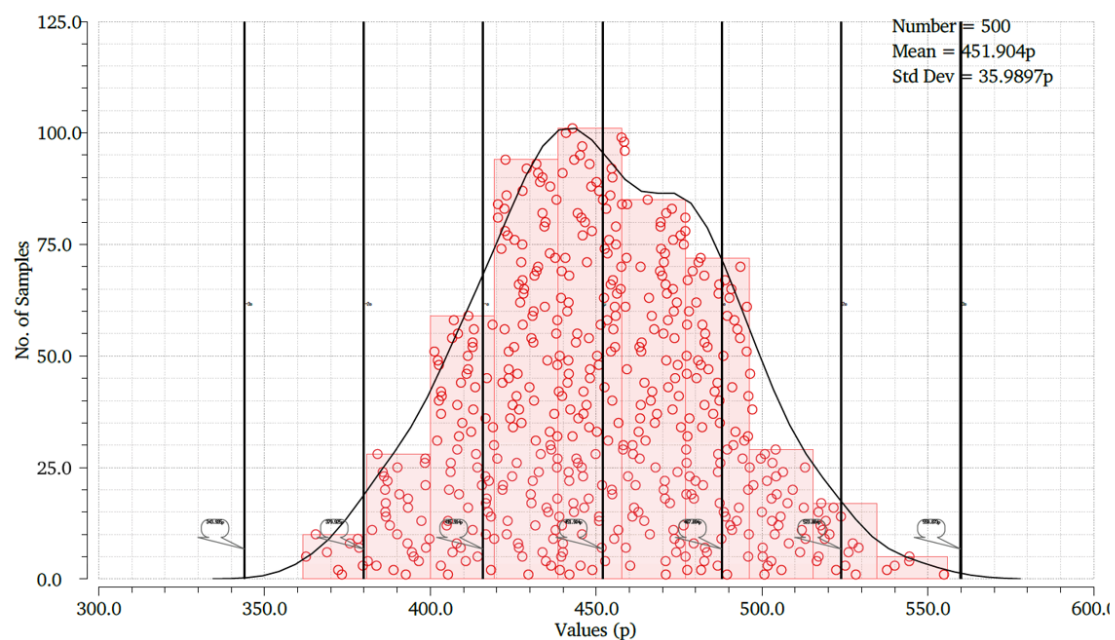


Fig. 3.51. Histograma de valores de retraso para una tensión de alimentación igual a 1.6 V.

En esta figura se observan todos los valores que se han obtenido a partir del análisis estadístico. El valor medio obtenido es de 451.9 ps de retraso, mientras que el peor de los casos es de 554.9 ps de retraso, lo que supone una variación del 28.8 % con respecto al valor nominal.

Para el caso en el que se varía la tensión de alimentación a 2.0 V se obtiene el histograma mostrado en la figura 3.52 después de realizar el análisis de Monte Carlo.

En esta figura se observa la distribución de los valores de retraso obtenidos en las diferentes simulaciones. El valor medio del retraso es de 365.7 ps, mientras que el peor caso es de 296.8 ps, lo que supone una variación del 24.8 % con respecto al valor nominal.

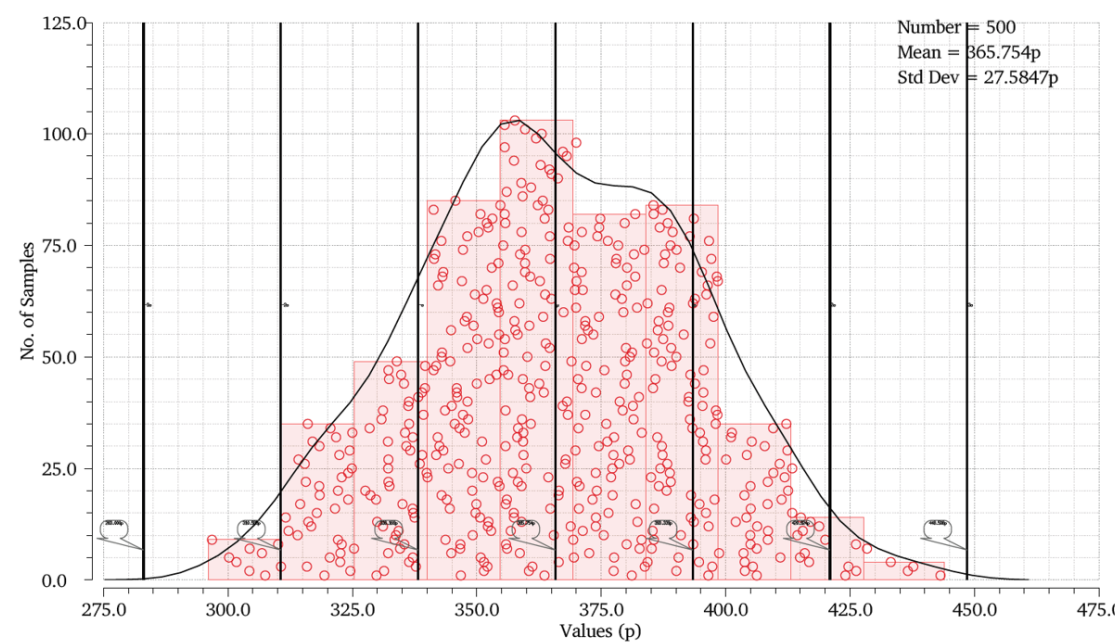


Fig. 3.52. Histograma de valores de retraso para una tensión de alimentación igual a 2.0 V.

Se prosigue con el análisis de los procesos de fabricación de los chips. Estas variaciones se producen, concretamente, en la velocidad a la que los electrones se mueven a través del transistor. Estas variaciones hacen que el transistor opere a mayor o menor velocidad, es decir, el tiempo que transcurre al conmutar es menor o mayor. Por lo tanto, existen dos extremos de funcionamiento posible, llamados en inglés *fast* (rápido) y *slow* (lento), a los que pueden operar los transistores NMOS y PMOS, con lo cual se obtienen 4 combinaciones posibles (rápido-rápido, rápido-lento, lento- rápido y lento-lento). En el caso de no tener variaciones por el proceso de fabricación, se utiliza el valor nominal. El valor nominal, para las variaciones por procesos, recibe el nombre en inglés de *typical* (típico). En la siguiente tabla se muestran los diferentes valores de retraso para las combinaciones con peor tiempo de retraso:

Proceso	Lento-lento	Rápido-rápido
Retraso	509.6 ps	361.9 ps

TABLA 3.20. TABLA DE LOS TIEMPOS DE RETRASO
OBTENIDOS PARA LAS DIFERENTES PROCESOS DE LOS
TRANSISTORES.

Se observa cómo los dos casos extremos se obtienen para los transistores con igual

CAPÍTULO 3. 3.3. ANÁLISIS DE SENSIBILIDAD

variación de proceso, es decir, para las combinaciones lento-lento y rápido-rápido.

Una vez obtenida la modificación del retraso para cada una de las variaciones por separado, se combinan todas para poder conseguir los peores resultados posibles.

La primera simulación realizada, se obtienen resultados para todas las combinaciones posibles. En la siguiente tabla se muestran los dos casos extremos:

Alimentación	Temperatura	Proceso	Retraso
1.6 V	100 °C	Lento-lento	645.3 ps
2.0 V	-40 °C	Rápido-rápido	240.1 ps

TABLA 3.21. TABLA DE LOS TIEMPOS DE RETRASO OBTENIDOS PARA LOS DOS CASOS MÁS EXTREMOS.

Se observa en la tabla que los peores valores de retraso se obtienen para las condiciones más negativas y con mayor diferencia de los valores nominales para alimentación, temperatura y proceso. Para estos dos casos se realiza un análisis de Monte Carlo en los que se obtendrán los valores de retraso más perjudiciales para el convertidor. Seguidamente, se realiza una simulación con los retrasos obtenidos.

En la siguiente figura se observa el histograma realizado mediante un análisis de Monte Carlo para el caso en el que la tensión de alimentación es de 1.6 V, la temperatura es de 100 °C y los transistores lentos.

Como se puede observar en el histograma superior, el valor medio del retraso obtenido para esta simulación es de 647.1 ps (similar al obtenido en la primera simulación), mientras que el peor valor, es decir, el mayor retraso posible, es de 721 ps, siendo este un 45.2 % de variación con respecto al valor nominal.

A partir de este dato obtenido, se realiza una simulación del convertidor VCO-ADC con frecuencia de muestreo mejorada aplicando este valor obtenido de retraso a cada uno de los buffers. En la figura 3.54 se muestra el espectro de potencia de salida de esta simulación.

En esta figura se observa que la salida del convertidor es totalmente diferente a las observadas hasta ahora. Esto es debido al retraso de cada uno de los buffers de la cadena. Se obtiene un SNDR igual a 16 dB y un SNR igual a 17 dB, muy inferior comparado con los

DISEÑO DE UN CONVERTIDOR A/D BASADO EN OSCILADOR EN ANILLO EN TECNOLOGÍA CMOS 0,18 μm

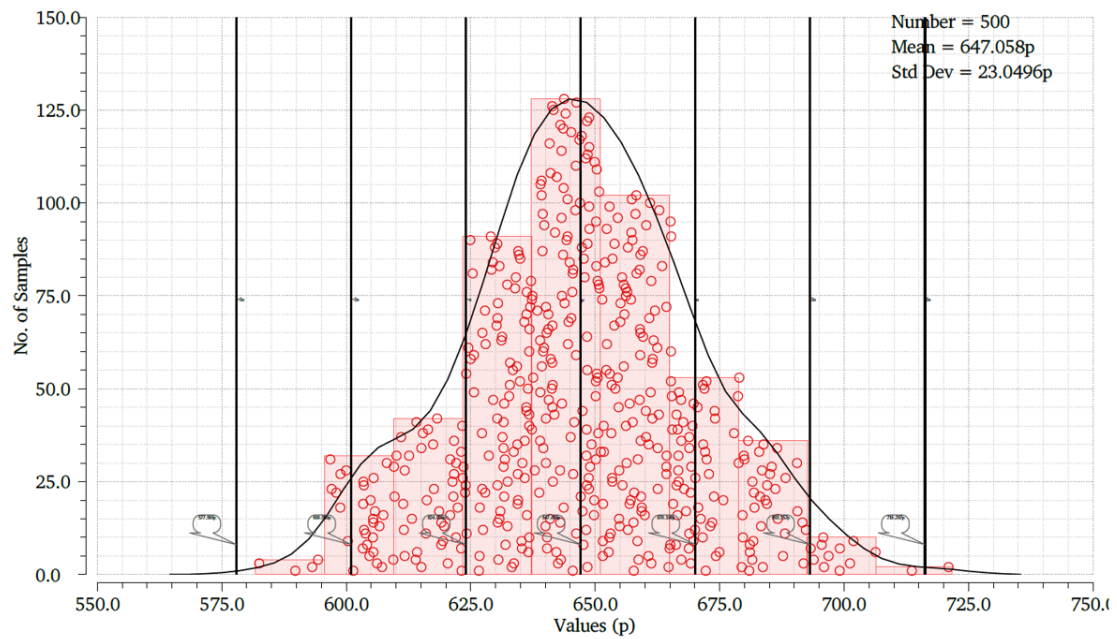


Fig. 3.53. Histograma de valores de retraso para una tensión de alimentación de 1.6 V, 100°C de temperatura y transistores lentos.

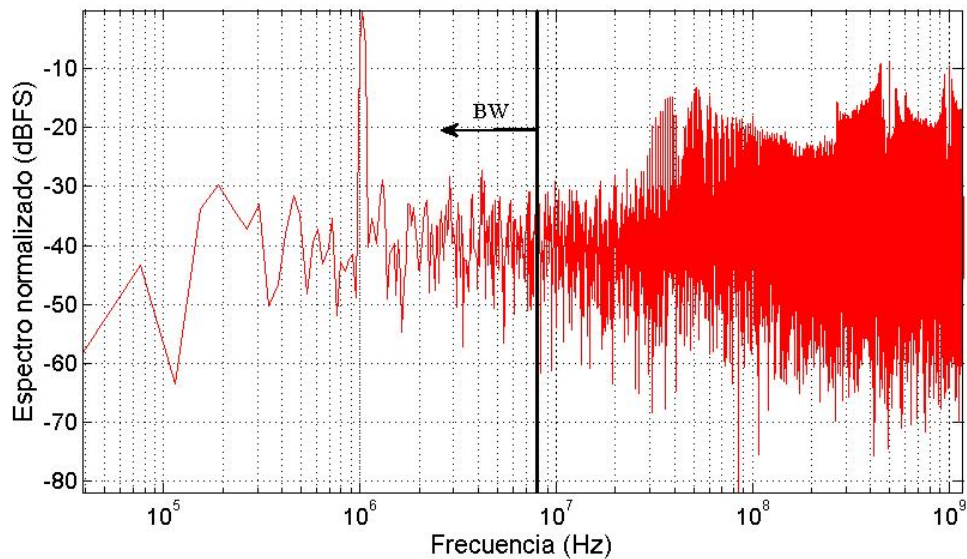


Fig. 3.54. Espectro de la potencia de salida para el caso extremo de los buffers lentos con un retraso de 721 ps.

resultados anteriores. Se observa cómo el ruido no sigue un conformado espectral de ruido ya que no tiene pendiente. Por lo tanto, esta arquitectura ante condiciones extremas, que hagan que los retrasos sean máximos, no conserva el funcionamiento nominal observado

CAPÍTULO 3. 3.3. ANÁLISIS DE SENSIBILIDAD

en el apartado 3.1. Este comportamiento indeseado se debe a la pérdida de información que se produce en los biestables, debido a que los datos fluyen a una mayor velocidad que el muestreo que se aplica al tener este retaso en los buffers. Esto quiere decir, que llega un pulso o varios pulsos de la señal antes de que pase al siguiente buffer, debido al aumento de retraso, por lo que los pulsos se solapan y se pierde la coherencia y la información.

Para el caso del extremo en el que la tensión de alimentación es de 2.0 V, la temperatura es de -40°C y los transistores son rápidos, se obtiene la siguiente distribución de puntos después de realizar un análisis de Monte Carlo mostrado en la figura 3.55.

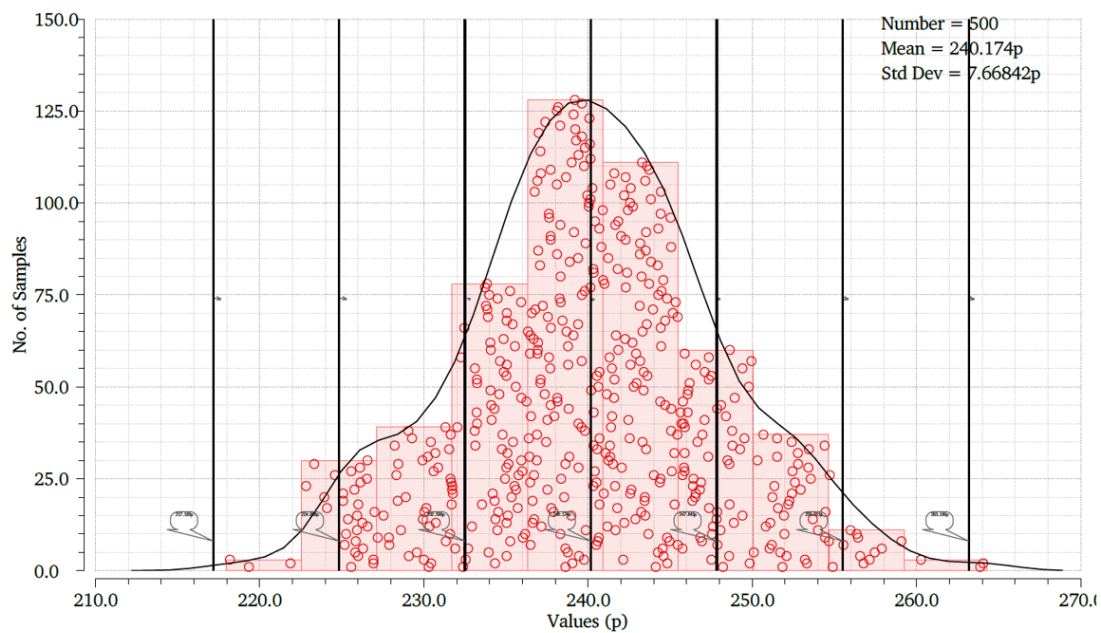


Fig. 3.55. Histograma de valores de retraso para una tensión de alimentación de 2.0 V, -40°C de temperatura y transistores rápidos.

A partir de esta figura se observa que el valor medio obtenido en las simulaciones es de 240.2 ps (semejante al obtenido en la tabla), mientras que el peor caso, es decir, el retraso más corto posible, es de 218.2 ps, siendo un 44.7 % de variación con respecto al caso nominal.

Al igual que en el caso anterior, se realiza una simulación del convertidor propuesto con este dato de retaso para todos los buffers de la cadena. El espectro de potencia de salida obtenido se muestra en la figura 3.56.

En esta figura se puede observar el comportamiento de los datos de salida del converti-

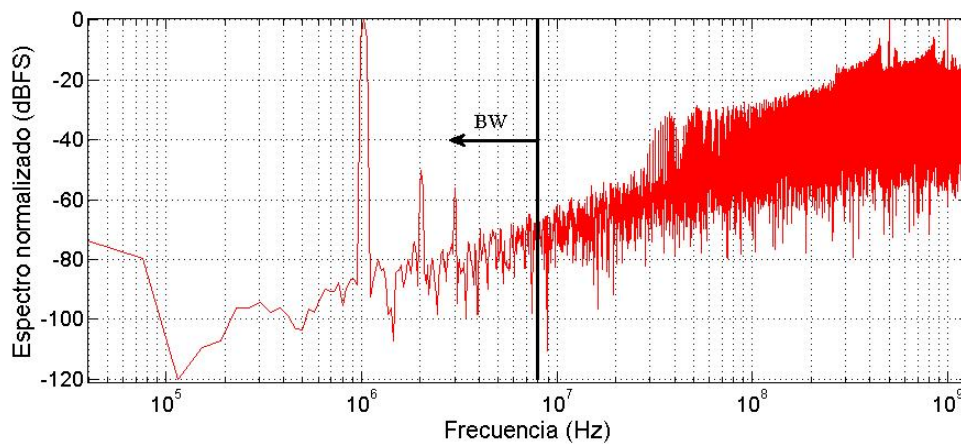


Fig. 3.56. Espectro de la potencia de salida para el caso extremo de los buffers rápidos con un retraso de 218 ps.

dor después de realizar la transformada de Fourier. Este comportamiento es semejante al obtenido en la figura 3.27, en donde se mostraba el espectro de potencia la salida del mismo convertidor utilizado para obtener este espectro. En este caso extremo, a diferencia del estudiado anteriormente, se mantiene el primer orden de conformado espectral de ruido y por lo tanto un funcionamiento correcto del convertidor. El SNDR obtenido es igual a 47 dB mientras que el SNR es igual a 51 dB. Este funcionamiento correcto para un caso extremo de retraso en los buffers, se debe a que no se pierde información, ya que el tiempo de muestreo disminuye y es posible mantener aproximadamente los mismo datos. Esto se debe a que los pulsos no se solapan (como ocurre en el otro caso extremo) y no se pierde la coherencia de los datos, por lo que el convertidor mantiene el funcionamiento correcto.

Analizando los dos casos extremos, se puede concluir que para valores menores que el nominal (394.7 ps) de retraso el convertidor mantiene un funcionamiento previsto y correcto, mientras que, para valores mayores al nominal, el convertidor pierde el rendimiento que ha mostrado hasta ahora.

Antes de terminar con este capítulo, se realiza una última simulación con un valor de retraso mayor al nominal, pero sin ser un caso extremo como los dos estudiados hasta ahora. Se establece un retraso un 20 % superior al nominal, igual a 474 ps por cada uno de los buffers de la cadena. El comportamiento de la salida este convertidor se muestra en la siguiente figura:

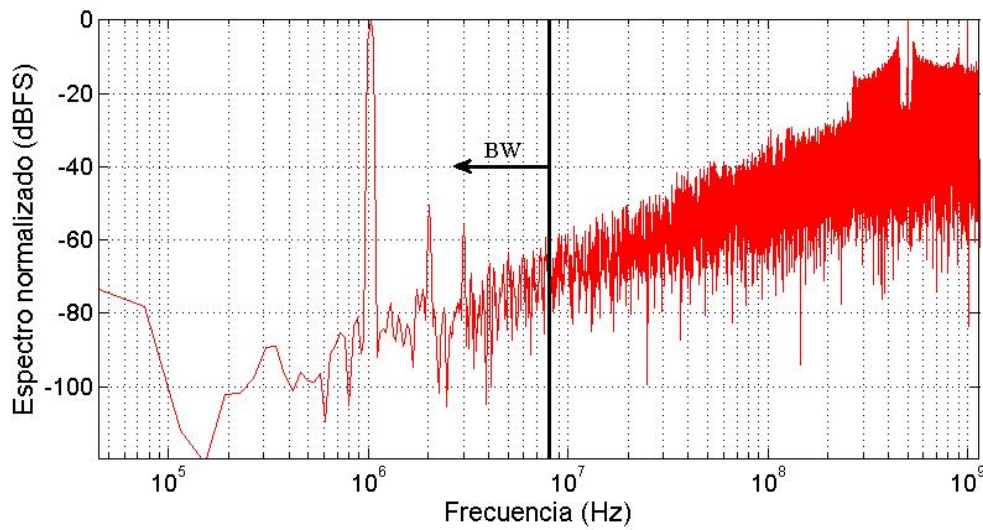


Fig. 3.57. Espectro de la potencia de salida para el caso de tiempo de retraso un 20 % superior al nominal con un retraso de 474 ps.

Se observa en la figura que el comportamiento es correcto a pesar de la variación en el retraso de un 20 % de los buffers. Los datos obtenidos a partir de este espectro son los siguientes: un SNDR de 47 dB y un SNR de 49 dB, por lo que se pierden 5 dB en comparación con el caso nominal.

Este estudio permite determinar que para variaciones del tiempo de retraso de los buffers inferiores al 20 %, el convertidor mantiene un funcionamiento correcto. Mientras para tiempos de retraso inferiores al nominal (incluso el extremo) el funcionamiento también es correcto.

Con la realización de este análisis y estudio quedan cumplidos todos los objetivos propuestos en el capítulo 1 para este trabajo.

3.3.4. Conclusión

Para la fabricación real de un chip con este convertidor, en el que se utiliza la cadena de retraso, se debe asegurar que el retraso es menor o igual a T_s ; ya que, como se ha observado en el análisis anterior, el convertidor mantiene un funcionamiento correcto en ese rango de retraso. Por lo tanto, para realizar un buen diseño, sería aconsejable diseñar la cadena de retraso para un tiempo de retraso nominal menor a T_s . Por otra parte, también

DISEÑO DE UN CONVERTIDOR A/D BASADO EN OSCILADOR EN ANILLO EN TECNOLOGÍA CMOS 0,18 μm

sería conveniente diseñar algún modelo de calibración, para asegurar el funcionamiento preciso de la cadena.

4. DISCUSIÓN DE RESULTADOS

4.1. Conclusiones

El presente trabajo presenta el diseño de un convertidor A/D basado en un oscilador en anillo en tecnología CMOS 0.18 μm . En los diferentes capítulos de este proyecto se ha llevado a cabo un análisis del funcionamiento y del modelado del convertidor, el diseño de todos los circuitos a nivel de transistor y el estudio de los efectos internos y externos que afectan al rendimiento del convertidor. Para ello, se ha iniciado el documento con la introducción y el Estado del Arte en donde se ha presentado el entorno de trabajo de los convertidores A/D y se han sentado las bases teóricas para una mejor comprensión del desarrollo de la propuesta. El estudio y descripción de los resultados, tanto del convertidor convencional, como de la nueva propuesta, se ha realizado en el capítulo 3, en donde se ha iniciado describiendo el VCO-ADC convencional de manera ideal, para después mostrar los resultados obtenidos a nivel de circuito. Seguidamente, en este mismo capítulo, se ha llevado a cabo un análisis completo de la propuesta del convertidor VCO-ADC con frecuencia de muestreo mejorada. Para ello se ha efectuado el mismo proceso por el cual se ha presentado el convertidor básico, se ha iniciado con un modelo teórico ideal y seguidamente se han presentado los resultados a nivel de circuito y transistor. Una vez presentada la propuesta, en una nueva sección (sección 3.2), se han mostrado todos los circuitos realizados a nivel de transistor con una breve descripción del funcionamiento. Por último, se ha desarrollado un análisis y estudio de la viabilidad, sensibilidad y robustez de algunos de los elementos de esta nueva propuesta, siendo la cadena de retraso la más examinada.

Después de realizar un estudio teórico de ambos convertidores desarrollados en este trabajo, los resultados obtenidos para el convertidor básico son satisfactorios, tanto a nivel de modelo en bloques como a nivel de circuito y transistor. Para el caso de la propuesta de mejora de este convertidor A/D, al igual que con el convertidor convencional, los resultados obtenidos también son óptimos, además, mejoran las condiciones y el rendimiento de esta arquitectura. Algunas de las conclusiones a este trabajo se han descrito anteriormente, sin embargo, en este capítulo se reúnen en la siguiente lista:

- En este trabajo se ha diseñado un convertidor alternativo al VCO-ADC convencional en tecnología de 0.18 μm adecuado para las nuevas tecnologías CMOS debido a que se ha diseñado con una gran mayoría de componentes digitales.
- Se ha conseguido aumentar el SNDR en 2 dB y el SNR en 11 dB de la arquitectura propuesta con respecto a la convencional. Este incremento en la resolución del convertidor permite que esta arquitectura sea adecuada para los nuevos protocolos de comunicación. Además, se ha conseguido aumentar la resolución del convertidor sin aumentar la frecuencia de reloj.
- Una vez realizado el convertidor en configuración diferencial, se puede concluir que la no linealidad del oscilador en anillo se reduce significativamente para los armónicos pares.
- El ruido de fase del oscilador en anillo no limita el rendimiento del convertidor para este ancho de banda, como se ha podido observar en la sección 3.3., debido a que se trabaja con anchos de banda medios. Para el caso de aplicaciones de bajo ancho de banda (como sensores), el ruido de fase es uno de los mayores problemas que surgen al diseñar un convertidor con este tipo de especificaciones.
- El ruido térmico de la resistencia del transconductor que se utiliza para circuitos diferenciales, tampoco limita el rendimiento del convertidor.
- La cadena de retraso es efectiva para aumentar la frecuencia de muestreo efectiva del convertidor. Igualmente, después de analizar las variaciones PVT a las que puede estar sujeto el tiempo de retraso de cada uno de los buffers que la componen, el convertidor funciona correctamente para el extremo en el que el tiempo de retraso es un 45 % inferior al retraso nominal. También mantiene su funcionamiento correcto cuando el tiempo de retraso aumenta en un 20 % al valor nominal, sin embargo, no se mantiene constante para valores extremos superiores al valor nominal. Por lo tanto, como se ha descrito en la sección anterior, es aconsejable, a la hora de fabricar un convertidor con este tipo de arquitectura, disminuir el tiempo de retraso nominal por debajo de T_s .

4.2. Trabajos futuros

Algunas sugerencias de investigaciones y trabajos futuros se proponen en esta sección:

- El diseño en *layout* de la nueva propuesta y su posterior fabricación para validar los diseños realizados mediante resultados experimentales. Estos resultados se pueden comparar con los obtenidos en las simulaciones de este trabajo y comprobar la validez de este convertidor.
- Diseñar este convertidor, o una variación de este, en una tecnología menor a la utilizada en este trabajo $0.18\ \mu\text{m}$, como por ejemplo una tecnología menor a $40\ \text{nm}$ (aplicada en muchos diseños actuales [58] [37] [49]) y observar las diferencias con este convertidor.
- Sustituir la cadena de retraso implementada con buffers, propenso a variaciones en el tiempo de retraso (como se analizado en la sección 3.3. de este trabajo), por N relojes con la misma frecuencia, pero con un tiempo de retraso de T_s/N (siento T_s el periodo de cada una de las señales de los relojes) respectivamente. Estos relojes muestrean la misma señal en diferentes instantes de tiempo obteniendo el mismo resultado. Los circuitos que se encargan de generar la frecuencia de reloj tienen una mayor estabilidad en comparación con la línea de retraso implementada en este trabajo, menos proclive a variaciones PVT.
- Realizar un modulador $\Delta\Sigma$ completo a partir de esta arquitectura. Para ello se debe realimentar negativamente la entrada del VCO a partir de la salida del convertidor, haciendo un *closed-loop VCO-ADC*. Esta realimentación se debe realizar con un DAC capaz de operar a suficiente velocidad para no perder los datos de la salida. Esta nueva configuración mantendría el primer orden del conformado espectral de ruido y el mismo SNR, sin embargo, la no linealidad del VCO se vería reducida.
- A partir del punto anterior, aumentar el orden del convertidor añadiendo un integrador anterior al bucle formado por el VCO y la demodulación de la señal. Para ello, se debe hacer otro lazo de realimentación desde la salida del convertidor hacia la entrada del integrador a través de otro DAC. También es posible utilizar un VCO en lugar de un integrador y realizar un diseño semejante al expuesto en el siguiente artículo [3], en donde se realiza un VCO-ADC de tercer orden a partir de

3 osciladores.

- Linealizar el VCO mediante una propuesta planteado en el siguiente artículo [2].
En este artículo se propone alimentar al VCO a tensión constante, mientras que la señal entra a partir de un divisor resistivo conectado a la masa de los inversores.

5. ESTUDIO ECONÓMICO

En este apartado se realiza un balance del coste total del proyecto. Este coste se divide en dos capítulos: el coste personal y el coste de las licencias de los programas utilizados.

En la siguiente tabla se detallan los costes estimando el número de horas para la realización del análisis, y diseño de los circuitos y las horas estimadas para la redacción del documento.

Código	Ud.	Resumen	Medición	Precio unitario	Precio total
1		CAPÍTULO I: COSTE PERSONAL			
01	h	Análisis y diseño	200	35.00 €	7000 €
02	h	Redacción del documento	100	35.00 €	3500 €
SUBTOTAL					10500 €

TABLA 5.1. TABLA DEL COSTE PERSONAL.

En la siguiente tabla se detallan los costes de las licencias de los dos programas utilizados para la elaboración del trabajo.

Código	Ud.	Resumen	Medición	Precio unitario	Precio total
2		CAPÍTULO II: COSTE DE LICENCIAS			
01	€	MATLAB y Simulink (Licencia anual)	1	2400.00 €	2400 €
02	€	Virtuoso Cadence (Licencia anual)	1	4500.00 €	4500 €
SUBTOTAL					6900 €

TABLA 5.2. TABLA DEL COSTE DE LICENCIAS.

El presupuesto total se detalla en la siguiente tabla. Este presupuesto se halla sumando los dos capítulos anteriores.

DISEÑO DE UN CONVERTIDOR A/D BASADO EN OSCILADOR EN ANILLO EN
TECNOLOGÍA CMOS 0,18 μm

Código	Nat.	Resumen	Medición	Precio unitario	Precio total
1		CAPÍTULO I: COSTE PERSONAL			
		Total capítulo	1	10500.00 €	10500 €
2		CAPÍTULO II: COSTE DE LICENCIAS			
		Total capítulo	1	6900.00 €	6900 €
TOTAL PROYECTO					17400 €

TABLA 5.3. TABLA DEL COSTE TOTAL DEL PROYECTO.

6. ENTORNO SOCIO-ECONÓMICO

Independientemente de la propuesta presentada en este documento, la teoría desarrollada sobre los convertidores de datos se puede aplicar a todas aquellas aplicaciones en donde sea necesaria la conversión analógico-digital. Como se ha descrito en capítulos anteriores, este convertidor se puede utilizar para aplicaciones prácticas en materia de comunicaciones, en donde se necesitan anchos de banda elevados y resoluciones medias. Al aumentar la resolución sin la necesidad de implementar circuitos analógicos con elevada área y consumo, la complejidad del chip y con ello, sus coste de diseño se mantienen constantes, mientras que la calidad del producto final es mejorada. Esto permite a las empresas con la necesidad de utilizar convertidores de datos en el desarrollo de sus productos aprovecharse de esta nueva alternativa, facilitando la obtención de mayores beneficios.

7. PROCESO DE EJECUCIÓN

En este apartado se muestra el tiempo necesario para la realización de este trabajo. Para ello se hace uso de un diagrama de Gantt [15] en el que se ilustra el cronograma del proyecto. En él se muestra la fecha de inicio y de finalización del proyecto, con un resumen de los procesos que se han llevado a cabo.

Diseño de un convertidor A/D basado en oscilador en anillo en tecnología CMOS 0,18 μ m

A continuación hay una leyenda que describe el gráfico. (Periodos en meses)

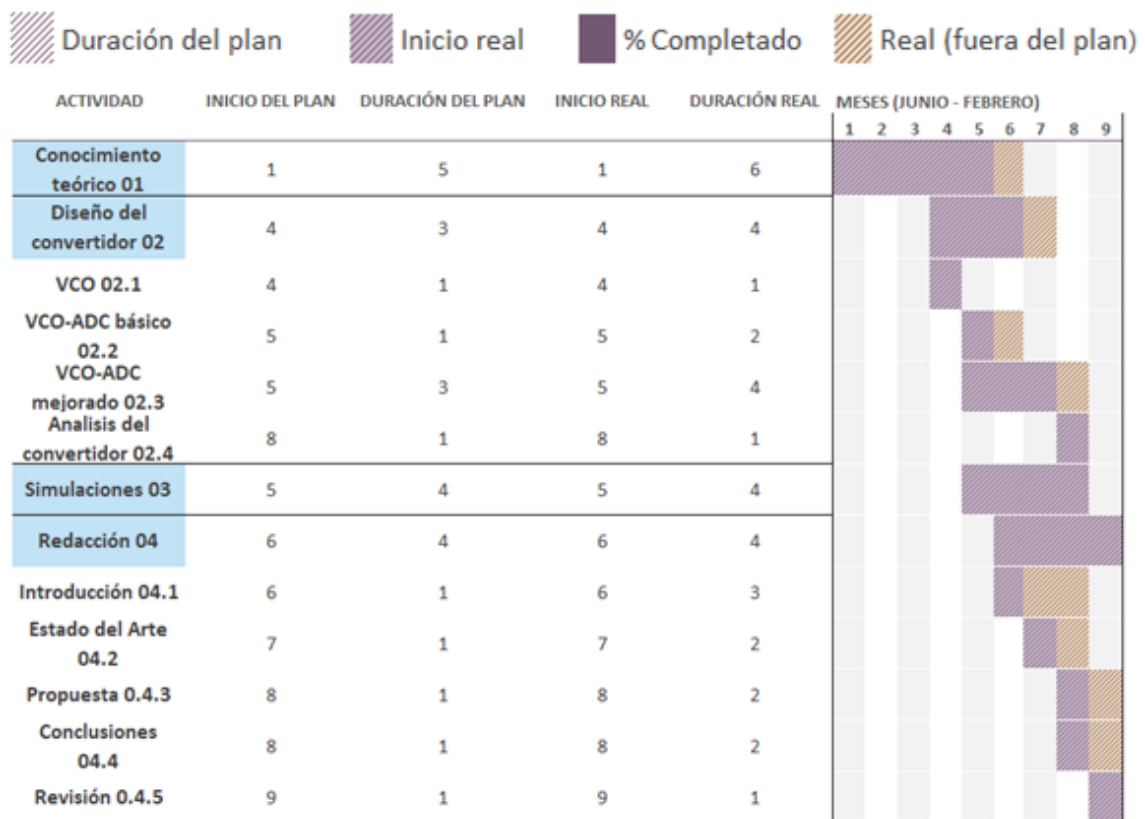


Fig. 7.1. Diagrama de Gantt del proyecto.

BIBLIOGRAFÍA

- [1] M. K. Adimulam, K. K. Movva, and M. B. Srinivas, “A low power, programmable 12-bit two step SAR-flash ADC for signal processing applications,” in *2017 30th IEEE International System-on-Chip Conference (SOCC)*, Sept 2017, pp. 45–50.
- [2] A. Babaie-Fishani and P. Rombouts, “Highly linear VCO for use in VCO-ADCs,” *Electronics Letters*, vol. 52, no. 4, pp. 268–270, 2016.
- [3] —, “A Mostly Digital VCO-Based CT-SDM With Third-Order Noise Shaping,” *IEEE Journal of Solid-State Circuits*, vol. 52, no. 8, pp. 2141–2153, Aug 2017.
- [4] R. J. Baker, *CMOS: Mixed-Signal Circuit Design*. Wiley, 2009, ch. Chapter 5: Data Converter SNR, Chapter 7: Noise-Shaping data Converter, pp. 163 – 285.
- [5] —, *CMOS Circuit Design, Layout, and Simulation*. Piscataway: Wiley, 2010, ch. Chapter 1 Introduction to CMOS Design, pp. 1–31.
- [6] M. Bartolomeo, “Internet of things: Science fiction or business fact,” *Harvard Business Review*, pp. 1–6, 2014.
- [7] W. C. Black and D. A. Hodges, “Time interleaved converter arrays,” *IEEE Journal of Solid-State Circuits*, vol. 15, no. 6, pp. 1022–1029, Dec 1980.
- [8] S. Borkar, T. Karnik, S. Narendra, J. Tschanz, A. Keshavarzi, and V. De, “Parameter variations and impact on circuits and microarchitecture,” in *Proceedings 2003. Design Automation Conference (IEEE Cat. No.03CH37451)*, June 2003, pp. 338–342.
- [9] B. Boser and B. Wooley, “The design of sigma-delta modulation analog-to-digital converters,” *IEEE Journal of Solid-State Circuits*, vol. 23, no. 6, pp. 1298 – 1308, 1988.
- [10] K. Bult, “Analog design in deep sub-micron CMOS,” in *Proceedings of the 26th European Solid-State Circuits Conference*, Sept 2000, pp. 126–132.
- [11] F. Cardes, A. Quintero, E. Gutierrez, C. Buffa, A. Wiesbauer, and L. Hernandez, “SNDR Limits of Oscillator-Based Sensor Readout Circuits,” *Sensors*, vol. 18, no. 2, 2018.

- [12] T. C. Carusone, D. A. Johns, and K. W. Martin, *Analog Integrated Circuit Design*. Wiley, 2011.
- [13] Y. Chae, J. Cheon, S. Lim, M. Kwon, K. Yoo, W. Jung, D. H. Lee, S. Ham, and G. Han, "A 2.1 M Pixels, 120 Frame/s CMOS Image Sensor With Column-Parallel $\Delta\Sigma$ ADC Architecture," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 1, pp. 236–247, Jan 2011.
- [14] J. A. Cherry and M. W. Snelgrove, *Continuous-Time Delta-Sigma Modulators for High-Speed A/D Conversion*. Springer, 2000.
- [15] W. Clark, W. N. Polakov, and F. W. Trabold, *The Gantt chart, a working tool of management*. New York: The Ronald press company, 1922.
- [16] J. Daniels, W. Dehaene, and M. Steyaert, "All-digital differential VCO-based A/D conversion," in *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*, May 2010, pp. 1085–1088.
- [17] J. M. de la Rosa, R. Schreier, K. P. Pun, and S. Pavan, "Next-Generation Delta-Sigma Converters: Trends and Perspectives," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 5, no. 4, pp. 484–499, Dec 2015.
- [18] A. Devices, *Analog-digital conversion handbook*. Prentice-Hall, 2010.
- [19] P. Dudek, S. Szczepanski, and J. V. Hatfield, "A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 2, pp. 240–247, Feb 2000.
- [20] A. EFE, "El 82 % de los hogares españoles tienen internet," *El Pais*, Octubre 2013.
- [21] M. El-Chammas and B. Murmann, "A 12-GS/s 81-mW 5-bit Time-Interleaved Flash ADC With Background Timing Skew Calibration," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 4, pp. 838–847, April 2011.
- [22] P. Glasserman, *Monte Carlo Methods in Financial Engineering*. Springer, 2003.
- [23] S. K. Gupta, M. A. Inerfield, and J. Wang, "A 1-GS/s 11-bit ADC With 55-dB SNDR, 250-mW Power Realized by a High Bandwidth Scalable Time-Interleaved Architecture," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, pp. 2650–2657, Dec 2006.

CAPÍTULO 7. BIBLIOGRAFÍA

- [24] E. Gutierrez and L. Hernandez, “Spectral analysis of multibit VCO-ADCs and PFM-ADCs with sinusoidal inputs,” in *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2015, pp. 1258–1261.
- [25] A. Hajimiri, S. Limotyrakis, and T. H. Lee, “Jitter and phase noise in ring oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 34, no. 6, pp. 790–804, Jun 1999.
- [26] F. J. Harris, “On the use of windows for harmonic analysis with the discrete Fourier transform,” *Proceedings of the IEEE*, vol. 66, no. 1, pp. 51–83, Jan 1978.
- [27] J. Hauptmann, D. Giotto, and U. Gaier, “Analog design trends in communication systems,” in *Proceedings of the 2013 9th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, June 2013, pp. 3–6.
- [28] L. Hernández and E. Gutiérrez, “Oversampled ADC based on pulse frequency modulator and TDC,” *Electronics Letters*, vol. 50, no. 7, pp. 498–499, March 2014.
- [29] Huawei, “Huawei,” *Huawei*, 2014, available: <http://www.huawei.com/ilink/en/solutions/broader-smarter/morematerial-b/HW-278065>.
- [30] J. Jalil, M. B. I. Reaz, and M. A. M. Ali, “CMOS Differential Ring Oscillators: Review of the Performance of CMOS ROs in Communication Systems,” *IEEE Microwave Magazine*, vol. 14, no. 5, pp. 97–109, July 2013.
- [31] J. B. Johnson, “Thermal Agitation of Electricity in Conductors,” *American Physical Society*, vol. 32, no. 97, 1928.
- [32] H. K. C. Jr, “Johns Hopkins Applied Physics Laboratory,” *Johns Hopkins University*, 2005, available: <http://www.jhuapl.edu/techdigest/TD/td2604/Charles.pdf>.
- [33] W. Kester, “Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don’t Get Lost in the Noise Floor,” *Analog Devices*, 2009.
- [34] —, “Analogdialogue,” *Analog*, 2015, available: <http://www.analog.com/en/analog-dialogue/articles/the-right-adc-architecture.html>.
- [35] J. Kim, T. K. Jang, Y. G. Yoon, and S. Cho, “Analysis and Design of Voltage-Controlled Oscillator Based Analog-to-Digital Converter,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 1, pp. 18–30, Jan 2010.

- [36] L. L. Lewyn, T. Ytterdal, C. Wulff, and K. Martin, "Analog Circuit Design in Nanoscale CMOS Technologies," *Proceedings of the IEEE*, vol. 97, no. 10, pp. 1687–1714, Oct 2009.
- [37] T. Y. Lo, "A 102dB dynamic range audio sigma-delta modulator in 40nm CMOS," in *IEEE Asian Solid-State Circuits Conference 2011*, Nov 2011, pp. 257–260.
- [38] H. Marien, M. S. J. Steyaert, E. van Veenendaal, and P. Heremans, "A Fully Integrated *DeltaSigma* ADC in Organic Thin-Film Transistor Technology on Flexible Plastic Foil," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 1, pp. 276–284, Jan 2011.
- [39] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani, "A 20-mW 640-MHz CMOS Continuous-Time *SigmaDelta* ADC With 20-MHz Signal Bandwidth, 80-dB Dynamic Range and 12-bit ENOB," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, pp. 2641–2649, Dec 2006.
- [40] G. E. Moore, "Cramming More Components Onto Integrated Circuits," *Proceedings of the IEEE*, vol. 86, no. 1, pp. 82–85, Jan 1998.
- [41] B. Nasri, S. P. Sebastian, K. D. You, R. RanjithKumar, and D. Shahrjerdi, "A 700 μW 1GS/s 4-bit folding-flash ADC in 65nm CMOS for wideband wireless communications," in *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2017, pp. 1–4.
- [42] A. Nordrum, "Popular Internet of Things Forecast of 50 Billion Devices by 2020 Is Outdated," *IEEE SPECTRUM*, 2016.
- [43] A. Nordrum and K. Clark, "Everything You Need to Know About 5G," *IEEE Spectrum*, 2017.
- [44] H. Nyquist, "Certain Topics in Telegraph Transmission Theory," *Transactions of the American Institute of Electrical Engineers*, vol. 47, no. 2, pp. 617–644, April 1928.
- [45] A. V. Oppenheim, *Discrete-Time Signal Processing (3rd Edition)*. Prentice-Hall, 2009.
- [46] M. Park and M. H. Perrott, "A 78 dB SNDR 87 mW 20 MHz Bandwidth Continuous-Time $\Delta\Sigma$ ADC With VCO-Based Integrator and Quantizer Implemented in 0.13 μm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 12, pp.

CAPÍTULO 7. BIBLIOGRAFÍA

3344–3358, Dec 2009.

- [47] S. Pavan, R. Schreier, and G. C. Temes, *Understanding Delta-Sigma Data Converters*. Hoboken, New Jersey: Wiley, 2017.
- [48] M. Pertijs, A. Niederkorn, X. Ma, B. McKillop, A. Bakker, and J. Huijsing, “A CMOS temperature sensor with a $3/\text{Sigma}$ inaccuracy of $\pm 0.5^\circ\text{C}$ from -50°C to 120°C ,” pp. 200–488 vol.1, Feb 2003.
- [49] E. Prefasi, E. Gutierrez, L. Hernandez, S. Paton, S. Walter, and U. Gaier, “A 0.03mm^2 , 40nm CMOS 1.5GS/s all-digital complementary PWM-GRO,” in *2014 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Dec 2014, pp. 116–119.
- [50] W. H. Press, S. A. Teukolsky, W. T. Vetterling, and B. P. Flannery, *Numerical Recipes in C*. CAMBRIDGE: CAMBRIDGE UNIVERSITY PRESS, 1992.
- [51] E. Sackinger and W. Guggenbuhl, “A high-swing, high-impedance MOS cascode circuit,” *IEEE Journal of Solid-State Circuits*, vol. 25, no. 1, pp. 289–298, Feb 1990.
- [52] R. Sarpeshkar, T. Delbruck, and C. A. Mead, “White noise in MOS transistors and resistors,” *IEEE Circuits and Devices Magazine*, vol. 9, no. 6, pp. 23–29, Nov 1993.
- [53] R. Si, F. Li, and C. Zhang, “A 100MHz S/s, 7 bit VCO-based ADC which is used in time interleaved ADC architectures,” in *2012 2nd International Conference on Consumer Electronics, Communications and Networks (CECNet)*, April 2012, pp. 4–7.
- [54] M. Z. Straayer and M. H. Perrott, “A 12-Bit, 10-MHz Bandwidth, Continuous-Time *SigmaDelta* ADC With a 5-Bit, 950-MS/s VCO-Based Quantizer,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 4, pp. 805–814, April 2008.
- [55] R. Strobel and W. Utschick, “Coexistence of G.fast and VDSL in FTTH and FTTC deployments,” in *2015 23rd European Signal Processing Conference (EUSIPCO)*, Aug 2015, pp. 1103–1107.
- [56] G. Taylor and I. Galton, “A Mostly-Digital Variable-Rate Continuous-Time Delta-Sigma Modulator ADC,” *IEEE Journal of Solid-State Circuits*, vol. 45, no. 12, pp. 2634–2646, Dec 2010.

- [57] C. Wulff and T. Ytterdal, “Resonators in Open-Loop $\Sigma\Delta$ Modulators,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 10, pp. 2159–2172, Oct 2009.
- [58] X. Xing and G. G. E. Gielen, “A 42 fJ/Step-FoM Two-Step VCO-Based Delta-Sigma ADC in 40 nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 3, pp. 714–723, March 2015.
- [59] Y. G. Yoon, J. Kim, T. K. Jang, and S. Cho, “A Time-Based Bandpass ADC Using Time-Interleaved Voltage-Controlled Oscillators,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 11, pp. 3571–3581, Dec 2008.
- [60] S. Zhu, B. Wu, Y. Cai, and Y. Chiu, “A 2-GS/s 8-bit Non-Interleaved Time-Domain Flash ADC Based on Remainder Number System in 65-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. PP, no. 99, pp. 1–12, 2017.